

P21298.P03

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Y. MUTO et al.

Appl No. : Not Yet Assigned

PCT Branch

I.A. Filed : November 24, 2000

PCT/JP00/08323

For : VIDEO SIGNAL CONVERSION DEVICE AND VIDEO SIGNAL CONVERSION
METHOD

CLAIM OF PRIORITY

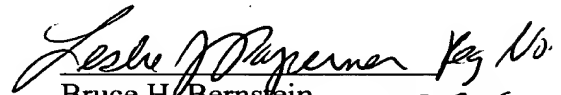
Commissioner of Patents and Trademarks

Washington, D.C. 20231

Sir:

Applicant hereby claims the right of priority granted pursuant to 35 U.S.C. 119 based upon Japanese Application Nos. 11-345430, filed December 3, 1999 and 2000-157907, filed May 29, 2000. The International Bureau already should have sent certified copies of the Japanese applications to the United States designated office. If the certified copies have not arrived, please contact the undersigned.

Respectfully submitted,
Y. MUTO et al.


Bruce H. Bernstein Reg. No. 29,027 33,329

August 1, 2001
GREENBLUM & BERNSTEIN, P.L.C.
1941 Roland Clarke Place
Reston, VA 20191
(703) 716-1191

JP 00/8323
ENV

PCT/JP00/C8323

24.11.00

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

REC'D 19 JAN 2001	
WIPO	PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年12月 3日

出願番号

Application Number:

平成11年特許願第345430号

出願人

Applicant (s):

松下電器産業株式会社

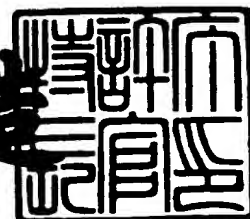
09/889585

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年 1月 5日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3108534

【書類名】 特許願

【整理番号】 2110011176

【提出日】 平成11年12月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/66

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 武藤 泰明

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 丹羽 彰夫

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 東 琢磨

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 若原 敏夫

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 関口 裕二

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 森田 友子

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代表者】 森下 洋一

【代理人】

【識別番号】 100098305

【弁理士】

【氏名又は名称】 福島 祥人

【電話番号】 06-6330-5625

【手数料の表示】

【予納台帳番号】 032920

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9906448

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 映像信号変換装置

【特許請求の範囲】

【請求項 1】 入力される映像信号をマトリックス表示を行う表示装置に適合する映像信号へ変換する映像信号変換装置であって、

映像信号を記憶する記憶手段と、

入力される映像信号を前記記憶手段に書き込むための書き込み制御信号および前記記憶手段に記憶されている映像信号を読み出すための読み出し制御信号を前記記憶手段へ出力し、前記記憶手段への映像信号の入出力を制御するとともに、前記記憶手段に記憶されている映像信号の垂直周波数を変換する垂直周波数変換処理手段と、

前記垂直周波数変換処理手段から出力される映像信号がインターレース信号の場合、インターレース信号からプログレッシブ信号へ変換するインターレース／プログレッシブ変換処理手段と、

前記インターレース／プログレッシブ変換処理手段から出力される映像信号の走査線数を変換する走査線変換処理手段と、

前記走査線変換処理手段から出力される映像信号の水平画素数を変換する水平画素変換処理手段と、

前記垂直周波数変換処理手段、前記インターレース／プログレッシブ変換処理手段、前記走査線変換処理手段および前記水平画素変換処理手段の動作を制御するための同期制御信号を前記垂直周波数変換処理手段、前記インターレース／プログレッシブ変換処理手段、前記走査線変換処理手段および前記水平画素変換処理手段へ出力する同期制御手段とを備えることを特徴とする映像信号変換装置。

【請求項 2】 前記記憶手段は、フィールドメモリを含み、

前記垂直周波数変換処理手段は、

前記同期制御手段から出力される第 1 のクロックを基準に書き込み動作を行うとともに、前記同期制御手段から出力される第 2 のクロックを基準に読み出し動作を行い、前記同期制御手段から出力される第 1 の系統の水平同期信号に応じて前記映像信号の書き込みおよび読み出し動作を行う第 1 のラインメモリと、

前記第 2 のクロックを基準に動作し、前記第 1 の系統の水平同期信号および前記同期制御手段から出力される第 1 の系統の垂直同期信号に応じて前記書き込み制御信号を出力するとともに、前記同期制御手段から出力される第 2 の系統の水平同期信号および第 2 の系統の垂直同期信号に応じて前記読み出し制御信号を出力し、前記第 1 のラインメモリから出力される映像信号の垂直周波数を前記第 1 の系統の垂直同期信号の周波数から前記第 2 の系統の垂直同期信号の周波数へ変換する垂直周波数変換手段とを含み、

前記インターレース／プログレッシブ変換処理手段は、

前記第 2 のクロックを基準に動作し、前記第 2 の系統の水平同期信号に応じて前記垂直周波数変換手段から出力される映像信号の書き込みおよび読み出し動作を行う第 2 のラインメモリと、

前記第 2 のクロックを基準に動作し、前記第 2 の系統の水平同期信号に応じて、前記第 2 のラインメモリから出力される映像信号をインターレース信号からプログレッシブ信号へ変換するインターレース／プログレッシブ変換手段とを含み、

前記走査線変換処理手段は、

前記第 2 のクロックを基準に動作し、前記第 2 の系統の水平同期信号に応じて前記インターレース／プログレッシブ変換手段から出力される映像信号の書き込み動作を行うとともに、前記同期制御手段から出力される第 3 の系統の水平同期信号に応じて、書き込まれた映像信号の読み出し動作を行う第 3 のラインメモリと、

前記第 2 のクロックを基準に動作し、前記第 3 の系統の水平同期信号および前記第 2 の系統の垂直同期信号に応じて、前記第 3 のラインメモリから出力される映像信号の走査線数を変換する走査線変換手段とを含み、

前記水平画素変換処理手段は、

前記第 2 のクロックを基準に動作し、前記第 3 の系統の水平同期信号に応じて、前記走査線変換手段から出力される映像信号の水平画素数を圧縮する水平圧縮手段と、

前記第 2 のクロックを基準に書き込み動作を行うとともに、前記同期制御手段

から出力される第3のクロックを基準に読み出し動作を行い、前記第3の系統の水平同期信号に応じて、前記水平圧縮手段から出力される映像信号の書き込みおよび読み出し動作を行う第4のラインメモリと、

前記第3のクロックを基準に動作し、前記第3の系統の水平同期信号に応じて、前記第4のラインメモリから出力される映像信号の水平画素数を拡大する水平拡大手段とを含むことを特徴とする請求項1記載の映像信号変換装置。

【請求項3】 前記記憶手段は、フィールドメモリを含み、

前記インターレース/プログレッシブ変換処理手段は、複数のラインメモリを含み、インターレース/プログレッシブ変換前の水平同期信号に対して位相が遅れた遅延水平同期信号に応じて前記フィールドメモリから前記複数のラインメモリの少なくとも一つに映像信号を転送され、前記複数のラインメモリ間でのデータのローテーションを行うとともに、前記複数のラインメモリのデータを用いて補間ラインの合成を行い、前記水平同期信号に応じて前記複数のラインメモリのうち映像信号が転送されたラインメモリ以外の一つラインメモリから現ラインのデータを読み出すことを特徴とする請求項1または2記載の映像信号変換装置。

【請求項4】 前記記憶手段は、フィールドメモリを含み、

前記垂直周波数変換処理手段は、

前記フィールドメモリの読み出し開始アドレスとして、前記走査線変換処理手段により走査線数を増加させて垂直方向の拡大処理を行う場合に前記フィールドメモリの書き込み開始アドレスより大きい読み出し開始アドレスを発生させるとともに、前記走査線変換処理手段により走査線数を減少させて垂直方向の縮小処理を行う場合に負数の読み出し開始アドレスを発生させるアドレス発生手段と、

前記アドレス発生手段により負数の読み出し開始アドレスが発生された場合、その負数の値だけ黒ラインのデータを挿入する黒ライン挿入手段とを含み、

前記同期制御手段は、前記垂直方向の拡大処理を行う場合に前記フィールドメモリの読み出し時の水平同期信号の周波数を低下させ、前記垂直方向の縮小処理を行う場合に前記フィールドメモリの読み出し時の水平同期信号の周波数を高くする水平同期信号発生手段を含み、

前記垂直周波数変換処理手段は、前記水平同期信号発生手段から出力される水

平同期信号に応じて前記フィールドメモリの読み出し動作を制御することを特徴とする請求項 1 ～ 3 のいずれかに記載の映像信号変換装置。

【請求項 5】 前記記憶手段は、フィールドメモリを含み、

前記同期制御手段は、前記垂直周波数変換処理手段へ入力される映像信号が奇数フィールドであるか偶数フィールドであるかを判別する判別手段を含み、

前記垂直周波数変換処理手段は、前記判別手段により判別されたフィールド情報を垂直周波数変換前の垂直同期信号に応じて記憶し、垂直周波数変換後の垂直同期信号に応じて前記フィールドメモリに記憶されている映像信号とリンクさせて記憶したフィールド情報を読み出すフィールド情報記憶手段を含み、

前記垂直周波数変換処理手段は、前記フィールド情報記憶手段により読み出されたフィールド情報に応じて映像信号を前記インターレース／プログレッシブ変換処理手段へ出力し、

前記インターレース／プログレッシブ変換処理手段は、フィールド内補間により前記垂直周波数変換処理手段から出力される映像信号をインターレース信号からプログレッシブ信号へ変換することを特徴とする請求項 1 ～ 4 のいずれかに記載の映像信号変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、映像信号をマトリックス表示を行う表示装置に適合する映像信号に変換する映像信号変換装置に関するものである。

【0002】

【従来の技術】

ドットマトリックス表示ディスプレイパネルとしては、PDP（プラズマディスプレイパネル）および液晶パネル等があり、これらのディスプレイパネルに必要な信号処理技術としては、IP（インターレース／プログレッシブ）変換、走査線変換、水平画素変換および垂直周波数変換が挙げられる。

【0003】

IP変換は、インターレース信号をプログレッシブ信号に変換する処理である

。走査線変換は、表示画像の垂直方向の拡大および縮小を行う処理である。水平画素変換は、表示画像の水平方向の拡大および縮小を行う処理である。これらの各変換は、水平および垂直方向の画素数が決まっているドットマトリックス型表示装置に必要な不可欠な技術である。

【 0 0 0 4 】

また、垂直周波数変換は、映像信号の垂直周波数を表示装置に適する垂直周波数に変換する処理であり、PDPでは階調表現手法の制限から、一方、液晶パネルでは階調表現手法およびその動作速度の制限から、垂直周波数は60Hzとするのが最も望ましい。したがって、映像信号の垂直周波数が60Hzよりも大きい場合、この垂直周波数を60Hzに変換する垂直周波数変換回路が非常に有用となる。

【 0 0 0 5 】

上記のIP変換を行う従来の映像信号変換装置としては、例えば、特開平7-123367号公報に開示される走査線変換回路がある。図32は、従来の走査線変換回路の構成を示す回路図であり、図33は、図32に示す走査線変換回路のフィルタ係数を示す図である。

【 0 0 0 6 】

図32に示す走査線変換回路は、前後のフィールドのデータと現フィールドのデータとから現フィールドの補間ラインを合成するものである。まず、入力端子331に供給された輝度信号は、第1のハイパスフィルタ330に供給される。第1のハイパスフィルタ330は、1H（Hは水平走査期間）の遅延時間を有する縦続接続された一対の遅延手段332、333を有し、それらの入出力段の輝度信号は、対応する係数器334、335、336を経て加算器337で合成される。

【 0 0 0 7 】

係数器334～336の各係数は、図33に示す係数が用いられる。図33では、その横方向がフィールドに対応し、縦方向がそのフィールドにおける垂直方向Vを示す。同一フィールドの各ラインに対しては図示のようなフィルタ係数が定められる。したがって、図32に示す走査線変換回路では、実ラインに対応す

る係数器 335 の係数は $6/24$ であり、上下の係数器 334, 336 はともに $-3/24$ である。係数器 334 ~ 336 は、アンプを使用することができ、アンプを使用した場合、図示のように上下の係数器 334, 336 はインバータ構成である。

【0008】

2H 遅延された輝度信号は、ほぼ 1 フィールド分の遅延時間を得るため、260H の遅延手段 360 に供給され、入力端子 331 に供給された輝度信号がちょうど 1 フィールド分遅延されて出力される。1 フィールド遅延したこの輝度信号は、ローパスフィルタ 340 に供給される。

【0009】

ローパスフィルタ 340 は、図 33 に示すように 7 ラインのデータに基づいてフィルタ特性を付与する。したがって、ローパスフィルタ 340 は、1H の遅延時間を有する継続接続された 3 個の遅延手段 341 ~ 343 を有し、それぞれの入出力信号は対応する係数器 344 ~ 347 によって所定の係数が乗算された後、加算器 348 で合成される。遅延手段 341 から出力された輝度信号は、現ラインでの輝度信号 L1 として使用され、これが切り換えスイッチ 366 に供給される。ローパスフィルタ 340 には、図 33 に示すように第 1 ラインと第 7 ラインに対しては $2/24$ のフィルタ係数が選ばれ、第 3 ラインと第 5 ラインに対しては $10/24$ のフィルタ係数が選ばれる。

【0010】

ローパスフィルタ 340 によりさらに 3H 分遅延された輝度信号は、260H の遅延手段 362 を介して第 2 のハイパスフィルタ 350 に供給される。遅延手段 362 を設けることによって入力端子 331 に供給された輝度信号は、2 フィールド分遅延されることになる。2 フィールド分遅延された輝度信号は、この第 2 のハイパスフィルタ 350 で所定のハイパス特性が付与され、その構成は第 1 ハイパスフィルタ 330 と同様である。

【0011】

加算器 356 の出力は、さらに加算器 364 に供給され、各フィルタ出力が合成される。このようにして、後フィールドの第 4 ラインと前フィールドの第 4 ラ

インが現フィールドの第3ラインと第5ラインとの間にあるとき、この間の補間ラインは、前後フィールドのそれぞれ3ライン分のハイパスフィルタの出力と現フィールドの4ライン分のローパスフィルタの出力を加算器364により加算して得られる。

【0012】

また、走査線変換および水平画素変換を行う従来の映像信号変換装置としては、例えば、特開平10-134175号公報に開示される画像処理装置がある。

図34は、従来の画像処理装置の構成を示すブロック図である。

【0013】

剰余回路301は、所定の装置から供給された位相変化分Pdとレジスタ302の値の和の小数部をレジスタ302に出力する。近似回路303は、位相xがレジスタ302の値に最も近い位相に対応するフィルタ係数セットに対応するフィルタ信号Piを係数メモリ400へ出力する。このようにして、所定の画素データの補間において、所定の数のフィルタ係数セットのうちの最適なフィルタ係数セットが選択される。そして、Cubic近似法に従って、その4つのフィルタ係数セットと4つの画素データとの積和演算が乗算器405～408と加算器409とにより行われ、画素の補間値が算出され、任意の変換比率の画像の拡大または縮小を行うことができる。

【0014】

【発明が解決しようとする課題】

上記のように、従来の装置では、IP変換、走査線変換、水平画素変換等の個々の変換に関して詳細に開示されているが、IP変換、走査線変換、水平画素変換および垂直周波数変換をシステムのまとめた装置については報告されておらず、一つの装置により上記各変換を行い、映像信号をマトリックス表示を行う表示装置に適する映像信号に変換することはできない。

【0015】

本発明の目的は、一カ所に蓄えられた少ないデータ量の映像信号を用いて1つのシステムとして総合的に無駄なく、垂直周波数変換、IP変換、走査線変換および水平画素変換を行い、映像信号をマトリックス表示を行う表示装置に適する

映像信号に変換することができる映像信号変換装置を提供することである。

【0016】

【課題を解決するための手段】

(1) 第1の発明

本発明に係る映像信号変換装置は、入力される映像信号をマトリックス表示を行う表示装置に適合する映像信号へ変換する映像信号変換装置であって、映像信号を記憶する記憶手段と、入力される映像信号を記憶手段に書き込むための書き込み制御信号および記憶手段に記憶されている映像信号を読み出すための読み出し制御信号を記憶手段へ出力し、記憶手段への映像信号の入出力を制御するとともに、記憶手段に記憶されている映像信号の垂直周波数を変換する垂直周波数変換処理手段と、垂直周波数変換処理手段から出力される映像信号がインターレース信号の場合、インターレース信号からプログレッシブ信号へ変換するインターレース／プログレッシブ変換処理手段と、インターレース／プログレッシブ変換処理手段から出力される映像信号の走査線数を変換する走査線変換処理手段と、走査線変換処理手段から出力される映像信号の水平画素数を変換する水平画素変換処理手段と、垂直周波数変換処理手段、インターレース／プログレッシブ変換処理手段、走査線変換処理手段および水平画素変換処理手段の動作を制御するための同期制御信号を垂直周波数変換処理手段、インターレース／プログレッシブ変換処理手段、走査線変換処理手段および水平画素変換処理手段へ出力する同期制御手段とを備えるものである。

【0017】

本発明に係る映像信号変換装置では、一つの記憶手段に記憶されている映像信号の垂直周波数を変換し、垂直周波数変換された映像信号がインターレース信号の場合にインターレース信号からプログレッシブ信号へ変換し、インターレース／プログレッシブ変換された映像信号の走査線数を変換し、走査線変換された映像信号の水平画素数を変換している。したがって、一カ所に蓄えられた少ないデータ量の映像信号を用いて1つのシステムとして総合的に無駄なく、垂直周波数変換、IP変換、走査線変換および水平画素変換を行い、映像信号をマトリックス表示を行う表示装置に適する映像信号に変換することができる。

【 0 0 1 8 】

(2) 第 2 の 発 明

第 2 の 発 明 に 係 る 映 像 信 号 変 換 装 置 は、 第 1 の 発 明 に 係 る 映 像 信 号 変 換 装 置 の 構 成 に お い て、 記 憶 手 段 は、 フ ィ ー ル ド メ モ リ を 含 み、 垂 直 周 波 数 変 換 処 理 手 段 は、 同 期 制 御 手 段 か ら 出 力 さ れ る 第 1 の ク ロ ッ ク を 基 準 に 書 き 込 み 動 作 を 行 う と と も に、 同 期 制 御 手 段 か ら 出 力 さ れ る 第 2 の ク ロ ッ ク を 基 準 に 読 み 出 し 動 作 を 行 い、 同 期 制 御 手 段 か ら 出 力 さ れ る 第 1 の 系 統 の 水 平 同 期 信 号 に 応 じ て 映 像 信 号 の 書 き 込 み お よ び 読 み 出 し 動 作 を 行 う 第 1 の ラ イ ン メ モ リ と、 第 2 の ク ロ ッ ク を 基 準 に 動 作 し、 第 1 の 系 統 の 水 平 同 期 信 号 お よ び 同 期 制 御 手 段 か ら 出 力 さ れ る 第 1 の 系 統 の 垂 直 同 期 信 号 に 応 じ て 書 き 込 み 制 御 信 号 を 出 力 す る と と も に、 同 期 制 御 手 段 か ら 出 力 さ れ る 第 2 の 系 統 の 水 平 同 期 信 号 お よ び 第 2 の 系 統 の 垂 直 同 期 信 号 に 応 じ て 読 み 出 し 制 御 信 号 を 出 力 し、 第 1 の ラ イ ン メ モ リ か ら 出 力 さ れ る 映 像 信 号 の 垂 直 周 波 数 を 第 1 の 系 統 の 垂 直 同 期 信 号 の 周 波 数 か ら 第 2 の 系 統 の 垂 直 同 期 信 号 の 周 波 数 へ 変 換 す る 垂 直 周 波 数 変 換 手 段 と を 含 み、 イ ン タ ー レ ース / プ ロ グ レ ッ シ ュ 変 換 処 理 手 段 は、 第 2 の ク ロ ッ ク を 基 準 に 動 作 し、 第 2 の 系 統 の 水 平 同 期 信 号 に 応 じ て 垂 直 周 波 数 変 換 手 段 か ら 出 力 さ れ る 映 像 信 号 の 書 き 込 み お よ び 読 み 出 し 動 作 を 行 う 第 2 の ラ イ ン メ モ リ と、 第 2 の ク ロ ッ ク を 基 準 に 動 作 し、 第 2 の 系 統 の 水 平 同 期 信 号 に 応 じ て、 第 2 の ラ イ ン メ モ リ か ら 出 力 さ れ る 映 像 信 号 を イ ン タ ー レ ース 信 号 か ら プ ロ グ レ ッ シ ュ 信 号 へ 変 換 す る イ ン タ ー レ ース / プ ロ グ レ ッ シ ュ 変 換 手 段 と を 含 み、 走 査 線 変 換 処 理 手 段 は、 第 2 の ク ロ ッ ク を 基 準 に 動 作 し、 第 2 の 系 統 の 水 平 同 期 信 号 に 応 じ て イ ン タ ー レ ース / プ ロ グ レ ッ シ ュ 変 換 手 段 か ら 出 力 さ れ る 映 像 信 号 の 書 き 込 み 動 作 を 行 う と と も に、 同 期 制 御 手 段 か ら 出 力 さ れ る 第 3 の 系 統 の 水 平 同 期 信 号 に 応 じ て、 書 き 込 ま れ た 映 像 信 号 の 読 み 出 し 動 作 を 行 う 第 3 の ラ イ ン メ モ リ と、 第 2 の ク ロ ッ ク を 基 準 に 動 作 し、 第 3 の 系 統 の 水 平 同 期 信 号 お よ び 第 2 の 系 統 の 垂 直 同 期 信 号 に 応 じ て、 第 3 の ラ イ ン メ モ リ か ら 出 力 さ れ る 映 像 信 号 の 走 査 線 数 を 変 換 す る 走 査 線 変 換 手 段 と を 含 み、 水 平 画 素 変 換 処 理 手 段 は、 第 2 の ク ロ ッ ク を 基 準 に 動 作 し、 第 3 の 系 統 の 水 平 同 期 信 号 に 応 じ て、 走 査 線 変 換 手 段 か ら 出 力 さ れ る 映 像 信 号 の 水 平 画 素 数 を 圧 縮 す る 水 平 圧 縮 手 段 と、 第 2 の ク ロ ッ ク を 基 準 に 書 き 込 み 動 作 を 行 う と と も に、 同 期 制 御

手段から出力される第3のクロックを基準に読み出し動作を行い、第3の系統の水平同期信号に応じて、水平圧縮手段から出力される映像信号の書き込みおよび読み出し動作を行う第4のラインメモリと、第3のクロックを基準に動作し、第3の系統の水平同期信号に応じて、第4のラインメモリから出力される映像信号の水平画素数を拡大する水平拡大手段とを含むものである。

【0019】

この場合、第1のラインメモリにより入力側のクロックである第1のクロックから装置内部のクロックとなる第2のクロックへ乗せ換えることができるとともに、第4のラインメモリにより第2のクロックから出力側のクロックとなる第3のクロックへ乗せ換えることができる。また、垂直周波数変換手段により入力側の水平同期信号である第1の系統の水平同期信号から装置内部の水平同期信号となる第2の系統の水平同期信号へ乗せ換えることができるとともに、入力側の垂直同期信号である第1の系統の垂直同期信号から出力側の垂直同期信号となる第2の系統の垂直同期信号へ乗せ換えることができる。さらに、第3のラインメモリにより第2の系統の水平同期信号から出力側の水平同期信号となる第3の水平同期信号へ乗せ換えることができる。

【0020】

したがって、インターレース/プログレッシブ変換および走査線変換に適した高い周波数で内部のクロックを出力することができ、また、フィールドメモリの前後で水平同期信号および垂直同期信号の乗せ換えを行うことができるとともに、走査線変換前に水平同期信号を乗せ換えることができる。この結果、垂直周波数変換、インターレース/プログレッシブ変換、走査線変換および水平画素変換を行う個別のブロック間で信号の受け渡しを適切なタイミングで行うことができ、マトリックス表示を行う表示装置に適した映像信号への変換に要求される信号処理を総合的かつに簡単に実現することができる。

【0021】

(3) 第3の発明

第3の発明に係る映像信号変換装置は、第1または第2の発明に係る映像信号変換装置の構成において、記憶手段は、フィールドメモリを含み、インターレー

ス／プログレッシブ変換処理手段は、複数のラインメモリを含み、インターレース／プログレッシブ変換前の水平同期信号に対して位相が遅れた遅延水平同期信号に応じてフィールドメモリから複数のラインメモリの少なくとも一つに映像信号を転送され、複数のラインメモリ間でのデータのローテーションを行うとともに、複数のラインメモリのデータを用いて補間ラインの合成を行い、水平同期信号に応じて複数のラインメモリのうち映像信号が転送されたラインメモリ以外の一つラインメモリから現ラインのデータを読み出すものである。

【 0 0 2 2 】

この場合、インターレース／プログレッシブ変換を行う場合の信号の受け渡しおよびそのタイミングを明確にすることができ、マトリックス表示を行う表示装置に適した映像信号への変換に要求される信号処理を総合的かつに簡単に実現することができる。

【 0 0 2 3 】

(4) 第 4 の 発 明

第 4 の発明に係る映像信号変換装置は、第 1 ～ 第 3 のいずれかの発明に係る映像信号変換装置の構成において、記憶手段は、フィールドメモリを含み、垂直周波数変換処理手段は、フィールドメモリの読み出し開始アドレスとして、走査線変換処理手段により走査線数を増加させて垂直方向の拡大処理を行う場合にフィールドメモリの書き込み開始アドレスより大きい読み出し開始アドレスを発生させるとともに、走査線変換処理手段により走査線数を減少させて垂直方向の縮小処理を行う場合に負数の読み出し開始アドレスを発生させるアドレス発生手段と、アドレス発生手段により負数の読み出し開始アドレスが発生された場合、その負数の値だけ黒ラインのデータを挿入する黒ライン挿入手段とを含み、同期制御手段は、垂直方向の拡大処理を行う場合にフィールドメモリの読み出し時の水平同期信号の周波数を低下させ、垂直方向の縮小処理を行う場合にフィールドメモリの読み出し時の水平同期信号の周波数を高くする水平同期信号発生手段を含み、垂直周波数変換処理手段は、水平同期信号発生手段から出力される水平同期信号に応じてフィールドメモリの読み出し動作を制御するものである。

【 0 0 2 4 】

この場合、フィールドメモリの前後で水平周波数の変換を行い、出力側の水平同期信号およびクロックの周波数の変動を抑制することができるので、次段の回路や表示装置をより安定に動作させることができるとともに、回路構成を簡略化することができる。

【0025】

(5) 第5の発明

第5の発明に係る映像信号変換装置は、第1～第4のいずれかの発明に係る映像信号変換装置の構成において、記憶手段は、フィールドメモリを含み、同期制御手段は、垂直周波数変換処理手段へ入力される映像信号が奇数フィールドであるか偶数フィールドであるかを判別する判別手段を含み、垂直周波数変換処理手段は、判別手段により判別されたフィールド情報を垂直周波数変換前の垂直同期信号に応じて記憶し、垂直周波数変換後の垂直同期信号に応じてフィールドメモリに記憶されている映像信号とリンクさせて記憶したフィールド情報を読み出すフィールド情報記憶手段を含み、垂直周波数変換処理手段は、フィールド情報記憶手段により読み出されたフィールド情報に応じて映像信号をインターレース／プログレッシブ変換処理手段へ出力し、インターレース／プログレッシブ変換処理手段は、フィールド内補間により垂直周波数変換処理手段から出力される映像信号をインターレース信号からプログレッシブ信号へ変換するものである。

【0026】

この場合、フィールド情報を映像信号にリンクさせて読み出すことにより、垂直周波数変換およびインターレース／プログレッシブ変換を両立することが可能となり、60Hzよりも高い垂直周波数のインターレース信号にも対応することができる。

【0027】

【発明の実施の形態】

以下、本発明の映像信号変換装置の各実施の形態について説明する。本発明による映像信号変換装置は、PDP（プラズマディスプレイパネル）、液晶パネル等のドットマトリックス表示を行う表示装置に好適に用いられる映像信号を出力するものであり、マトリックス表示を行う表示装置であれば、CRT（陰極線管

）等にも用いることができる。

【 0 0 2 8 】

（第 1 の実施の形態）

まず、本発明の第 1 の実施の形態による映像信号変換装置について説明する。
図 1 は、本発明の第 1 の実施の形態による映像信号変換装置の構成を示すブロック図である。

【 0 0 2 9 】

図 1 に示す映像信号変換装置は、画素変換装置 1 およびフィールドメモリ部 7 を備える。画素変換装置 1 は、メモリ制御処理部 2、I P（インターレース／プログレッシブ）変換処理部 3、走査線変換処理部 4、水平画素変換処理部 5 および同期処理部 6 を含む。

【 0 0 3 0 】

メモリ制御処理部 2 は、装置外部の A D（アナログ／デジタル）変換器（図示省略）によりデジタル化された映像信号 D V が入力され、書き込みおよび読み出しアドレス等の制御信号を発生させてフィールドメモリ部 7 へ出力し、フィールドメモリ部 7 との映像信号の受け渡しを行う。

【 0 0 3 1 】

I P 変換処理部 3 は、メモリ制御処理部 2 から出力される映像信号がインターレース信号であった場合にプログレッシブ信号に変換し、逆にプログレッシブ信号の場合にそのままスルーして走査線変換処理部 4 へ出力する。

【 0 0 3 2 】

走査線変換処理部 4 は、I P 変換処理部 3 から出力される映像信号の走査線数を増減させて垂直方向の拡大処理および縮小処理を行う。水平画素変換処理部 5 は、走査線変換処理部 4 から出力される映像信号の水平画素数を増減して水平方向の拡大処理および縮小処理を行い、変換された映像信号 T V を表示装置（図示省略）へ出力する。

【 0 0 3 3 】

同期処理部 6 は、外部から同期信号 S Y が入力され、この同期信号 S Y を基に、メモリ制御処理部 2、I P 変換処理部 3、走査線変換処理部 4 および水平画素

変換処理部 5 の動作を適正に制御するため、所定のクロック、水平同期信号および垂直同期信号を各ブロックに与える。

【 0 0 3 4 】

本実施の形態では、フィールドメモリ部 7 が記憶手段に相当し、メモリ制御処理部 2 が垂直周波数変換処理手段に相当し、I P 変換処理部 3 がインターレース／プログレッシブ変換処理手段に相当し、走査線変換処理部 4 が走査線変換処理手段に相当し、水平画素変換処理部 5 が水平画素変換処理手段に相当し、同期処理部 6 が同期制御手段に相当する。

【 0 0 3 5 】

次に、上記のように構成された映像信号変換装置の動作について説明する。フィールドメモリ部 7 は、I P 変換および走査線変換に必要とされるフィールドのデータを蓄え、フィールドメモリ部 7 に蓄えられたデータを用いて、メモリ制御処理部 2 により垂直周波数変換が行われ、I P 変換処理部 3 により I P 変換が行われ、走査線変換処理部 4 により走査線変換が行われ、水平画素変換処理部 5 により水平画素変換が行われる。なお、垂直周波数変換、I P 変換、走査線変換および水平画素変換の各処理は、個別に行ってもよいし、このうちの 2 つまたは 3 つの処理のみを行ってもよい。

【 0 0 3 6 】

上記のように、フィールドメモリ部 7 は、垂直周波数変換が必要な映像信号に対しては垂直周波数変換用のメモリとして用いられ、I P 変換が必要な映像信号に対して I P 変換用のメモリとして用いられ、走査線変換が必要な映像信号に対しては走査線変換用のメモリとして用いられる。

【 0 0 3 7 】

このように、本実施の形態では、映像信号を一か所のフィールドメモリ部 7 に一旦蓄え、フィールドメモリ部 7 に記憶したデータを用いて、垂直周波数変換、I P 変換、走査線変換および水平画素変換の各処理を行うことにより、マトリックス表示を行う表示装置に必要な上記の 4 つの処理を統合して行うシステムを構築することができるとともに、各処理を分散して個々の回路により行うシステムに対して回路構成を格段に簡略化することができる。

【0038】

また、水平画素変換処理部 5 を後段に配置することにより、AD（アナログ／デジタル）変換を行う時のサンプリング周波数を予め低く設定しておき、フィールドメモリ部 7 に取り込むデータ量を小さくし、最後に水平画素変換処理部 5 により水平方向の拡大処理を行うことにより、より少ないデータ量で上記の処理を行うことができる。

【0039】

（第 2 の実施の形態）

垂直周波数変換、IP 変換、走査線変換および水平画素変換を行う映像信号変換装置を構成する場合、各ブロックの動作を適正に制御するために、同期信号として、複数のクロック、水平同期信号および垂直同期信号が必要となる。

【0040】

まず、クロックについて説明する。映像信号変換装置の入力側のクロックは、デジタル化された映像信号に同期し、アナログの映像信号をデジタルの映像信号に変換する装置外部の AD 変換器のサンプリングクロックと同一のクロックとなる。このサンプリングクロックは、図 2 に示すように、水平方向に 852 個の画素を有するディスプレイパネルの場合、水平走査期間 y および有効映像期間 x からサンプリングクロックの分周比は、 $y/x \times 852$ となり、水平走査期間の大半が映像データにより埋まった映像期間となる。

【0041】

ここで、図 3 の（a）に示すように、走査線変換により 2 本の走査線を 3 本の走査線に増やし、走査線変換前の 2 水平走査期間が走査線変換後の 3 水平走査期間に対応する 2 → 3 変換の場合、映像期間が走査線変換前の水平走査期間の $2/3$ 以上あった場合、映像期間が走査線変換後の水平走査期間を越えてしまい、全ての映像を写すことができなくなってしまう。

【0042】

このため、図 3 の（b）に示すように、走査線変換後のクロックの周波数を十分に高く設定しておく必要がある。また、IP 変換の場合も上記と同様であり、IP 変換では水平同期信号の周波数が倍になるため、入力側の水平同期信号の半

分の周期で有効映像期間の全データが格納できるように、I P 変換後のクロックの周波数も十分に速いものでなければならない。

【 0 0 4 3 】

一方、出力側のクロックの周波数は、次段の回路が要求するクロックの周波数に設定しなければならない。したがって、垂直周波数変換、I P 変換、走査線変換および水平画素変換を行う映像信号変換装置のクロックとしては、サンプリングクロックと同じ入力側のクロックと、I P 変換および走査線変換を考慮して周波数が十分に高くなるように設定された内部のクロック、および次段の回路で要求される出力側のクロックの3つのクロックを用いることが好ましい。

【 0 0 4 4 】

次に、上記の3種類のクロックの乗せ換えについて説明する。まず、入力側のクロックから内部のクロックへの乗せ換えについて説明する。

【 0 0 4 5 】

入出力のクロックを別々に設定できるデュアルポートのラインメモリやフィールドメモリといったメモリを用いる場合は、クロックの乗せ換えを容易に行うことができるが、フィールドメモリとして一般的に用いられているSDRAM (Synchronous Dynamic Random Access Memory) やSGRAM (Synchronous Graphics Random Access Memory) では、入出力のクロックを別々に設定することができない。このため、クロックを書き込み期間と読み出し期間とで時系列に分割する必要がある。

【 0 0 4 6 】

しかしながら、メモリの動作周波数が速くなると、このような回路を実現することは非常に困難であり、回路も複雑化してしまう。したがって、フィールドメモリは同一のクロックにより動作させることが好ましい。また、図3を用いて説明したように、I P 変換を考慮すると、フィールドメモリの出力は十分に速い周波数であることが好ましい。したがって、入力側のクロックから内部のクロックへの乗せ換えは、フィールドメモリへ入力される前にラインメモリを挿入し、このラインメモリにより行うのが好ましい。

【 0 0 4 7 】

次に、内部のクロックから出力側のクロックへの乗せ換えについて図 4 を用いて説明する。走査線変換前の有効映像期間が水平走査期間の 80% で、走査線変換後の有効映像期間も 80% になるようにクロックを設定し、走査線変換用のラインメモリによりクロックの乗せ換えを同時に行う場合、図 4 の (a) に破線で示すように、ラインメモリの書き込みクロックよりも読み出しクロックが速いため、データの追越しが発生する。具体的には、読み出し期間の領域 A は直前の書き込み期間の領域 A に対応するが、読み出し期間の領域 B は 1 ライン前の書き込み期間の領域 B に対応し、正確な走査線変換ができなくなってしまう。

【0048】

一方、図 4 の (b) に示すように、走査線変換後にラインメモリを用いてクロックを変化させた場合、追越しまたは追い越されが発生しない。また、上記のように走査線変換による拡大処理を行う場合等を考慮すると、走査線変換では十分に速い周波数のクロックが必要となるため、内部のクロックから出力側のクロックへの乗せ換えは、走査線変換後の水平画素変換用のラインメモリにより行うことが適切である。

【0049】

次に、垂直同期信号および水平同期信号の乗せ換えについて説明する。垂直同期信号の乗せ換えは、映像信号を蓄えるメモリがフィールドメモリしか存在しない場合、フィールドメモリを制御するメモリ制御処理部の前後で行い、それと同時に水平同期信号の乗せ換えを行う必要がある。なお、垂直周波数変換を行わない場合は、水平同期信号を乗せ換える必要はないように思われるが、後述するように、水平同期信号は、走査線変換時にも乗せ換える必要がある。したがって、垂直同期信号としては、入力側の垂直同期信号および出力側の垂直同期信号の 2 つの系統の垂直同期信号を用い、水平同期信号としては、入力側の水平同期信号、内部の水平同期信号および出力側の水平同期信号の 3 つの系統の水平同期信号を用いることが好ましい。

【0050】

次に、本発明の第 2 の実施の形態による映像信号変換装置について説明する。図 5 は、本発明の第 2 の実施の形態による映像信号変換装置の構成を示すブロッ

ク図である。上記の検討に基づき、本実施の形態では、クロックとしては入力側のクロック、内部のクロックおよび出力側のクロックの3つのクロックを用い、垂直同期信号としては入力側の垂直同期信号および出力側の垂直同期信号の2つの系統の垂直同期信号を用い、水平同期信号としては入力側の水平同期信号、内部の水平同期信号および出力側の水平同期信号の3つの系統の水平同期信号を用い、それぞれの切り替えを後述するようにして行っている。

【0051】

図5に示す映像信号変換装置は、水平フィルタ11、ラインメモリ12、31、51、81、フィールドメモリ部7、メモリ制御部21、IP変換部41、走査線変換部61、水平圧縮部71、水平拡大部91および同期処理部6を備える。

【0052】

水平フィルタ11は、所定のサンプリングクロックで外部のAD変換器（図示省略）によりデジタル化された映像信号DVを入力され、このサンプリングクロックと同一の入力側のクロックである第1のクロックCLK1によりエッジエンハンス処理、LPF（ローパスフィルタ）処理等の水平方向の処理を行う。なお、水平フィルタ11は必要に応じて付加されるものであり、省略することも可能である。

【0053】

ラインメモリ12は、デュアルポートのラインメモリであり、書き込みクロックとして第1のクロックCLK1が入力され、読み出しクロックとして内部のクロックとなる第2のクロックCLK2が入力され、入力側の水平同期信号である第1の系統の水平同期信号H1に応じて動作する。

【0054】

メモリ制御部21の入力側（書き込み制御側）には、第1の系統の水平同期信号H1および入力側の垂直同期信号である第1の系統の垂直同期信号V1が入力され、その出力側（読み出し制御側）には、内部の水平同期信号である第2の系統の水平同期信号H2および出力側の垂直同期信号である第2の系統の垂直同期信号V2が入力され、動作クロックは、第2のクロックCLK2である。メモリ

制御部 2 1 は、上記の各信号に従い、書き込みおよび読み出しアドレス等の制御信号を発生させ、フィールドメモリ部 7 に対して映像信号の入出力を行うとともに、映像信号の垂直周波数を第 1 の系統の垂直同期信号 V 1 の周波数から第 2 の系統の垂直同期信号 V 2 の周波数へ変換する。

【 0 0 5 5 】

ラインメモリ 3 1 は、I P 変換用のデータを蓄えるラインメモリであり、入出力ともに第 2 のクロック C L K 2 を基準にして第 2 の系統の水平同期信号 H 2 に応じて動作する。I P 変換部 4 1 は、第 2 のクロック C L K 2、第 2 の系統の水平同期信号 H 2 および第 2 の系統の垂直同期信号 V 2 により動作し、前段のラインメモリ 3 1 から出力されるデータを用いて I P 変換のための所定の演算を行い、入力される映像信号がプログレッシブ信号の場合はスルーする。

【 0 0 5 6 】

ラインメモリ 5 1 は、走査線変換用のデータを蓄えるラインメモリであり、第 2 の系統の水平同期信号 H 2 から出力側の水平同期信号である第 3 の系統の水平同期信号 H 3 への乗せ換えを行い、動作クロックは第 2 のクロック C L K 2 である。走査線変換部 6 1 は、第 2 のクロック C L K 2、第 3 の系統の水平同期信号 H 3 および第 2 の系統の垂直同期信号 V 2 により動作し、ラインメモリ 5 1 に蓄えたデータを用いて走査線変換のための所定の演算を行う。

【 0 0 5 7 】

水平圧縮部 7 1 は、第 2 のクロック C L K 2 および第 3 の系統の水平同期信号 H 3 により動作し、走査線変換部 6 1 から出力される映像信号に水平圧縮処理を行い、その演算結果をラインメモリ 8 1 に格納する。ラインメモリ 8 1 は、水平画素変換用のデータを蓄えるラインメモリであり、第 2 のクロック C L K 2 から出力側のクロックである第 3 のクロック C L K 3 への乗せ換えを行い、書き込み側のクロックは第 2 のクロック C L K 2 となり、読み出し側のクロックは第 3 のクロック C L K 3 となり、第 3 の系統の水平同期信号 H 3 に応じて動作する。

【 0 0 5 8 】

水平拡大部 9 1 は、第 3 のクロック C L K 3 を基準にして第 3 の系統の水平同期信号 H 3 に応じて動作し、ラインメモリ 8 1 に蓄えられたデータを用いて水平

拡大処理を行う。同期処理部 6 は、外部から所定の同期信号 S Y を受け、同期信号として各ブロックへ上記の第 1 ないし第 3 のクロック C L K 1 ~ C L K 3、第 1 ないし第 3 の系統の水平同期信号 H 1 ~ H 3 ならびに第 1 および第 2 の系統の垂直同期信号 V 1、V 2 を出力する。

【 0 0 5 9 】

図 6 は、図 5 に示す映像信号変換装置の各同期信号を説明するためのタイミング図である。図 6 に示すように、第 1 のクロック C L K 1 系の同期信号には、入力側の水平同期信号である第 1 の水平同期信号 H 1 1 と、入力側の垂直同期信号である第 1 の垂直同期信号 V 1 1 とがある。

【 0 0 6 0 】

第 2 のクロック C L K 2 系の同期信号には、第 1 の水平同期信号 H 1 1 を第 2 のクロック C L K 2 でラッチし直した第 1 のラッチ水平同期信号 H 1 2 と、第 1 の垂直同期信号 V 1 1 を第 2 のクロック C L K 2 でラッチし直した第 1 のラッチ垂直同期信号 V 1 2 とがあり、また、第 2 の水平同期信号 H 2 1 と、第 2 の水平同期信号 H 2 1 を半位相遅らせた第 2 の遅延水平同期信号 H 2 D と、第 2 の水平同期信号 H 2 1 の倍周波数の第 2 の倍水平同期信号 H 2 H と、垂直周波数変換後（フィールドメモリ後）の第 2 の垂直同期信号 V 2 1 があり、また、走査線変換後には、第 3 の水平同期信号 H 3 1 と、第 2 の垂直同期信号 V 2 1 を第 3 の水平同期信号 H 3 1 で同期させた第 2 のラッチ垂直同期信号 V 2 P とがある。

【 0 0 6 1 】

第 3 のクロック C L K 3 系には、第 3 の水平同期信号 H 3 1 を第 3 のクロック C L K 3 でラッチし直した第 3 のラッチ水平同期信号 H 3 3 がある。

【 0 0 6 2 】

上記の同期信号のうち、第 1 の水平同期信号 H 1 1 および第 1 のラッチ水平同期信号 H 1 2 が第 1 の系統の水平同期信号 H 1 となり、第 1 の垂直同期信号 V 1 1 および第 1 のラッチ垂直同期信号 V 1 2 が第 1 の系統の垂直同期信号 V 1 となり、第 2 の水平同期信号 H 2 1、第 2 の遅延水平同期信号 H 2 D および第 2 の倍水平同期信号 H 2 H が第 2 の系統の水平同期信号 H 2 となり、第 2 の垂直同期信号 V 2 1 および第 2 のラッチ垂直同期信号 V 2 P が第 2 の系統の垂直同期信号 V

2となり、第3の水平同期信号H 3 1および第3のラッチ水平同期信号H 3 3が第3の系統の水平同期信号H 3となり、それぞれ同期制御部6から各ブロックへ出力される。

【0063】

なお、I P変換時に水平同期信号および垂直同期信号が同位相である場合を奇数フィールドとし、半位相ずれている場合を偶数フィールドとする。また、I P変換をしない場合、第2の水平同期信号H 2 1、第2の遅延水平同期信号H 2 Dおよび第2の倍水平同期信号H 2 Hは同じ信号となる。

【0064】

上記の各同期信号がどのように供給されるかについてさらに詳細に説明する。図7ないし図9は、図5に示す映像信号変換装置の構成をさらに具体的に示すブロック図である。

【0065】

図7に示すA D変換器8は、図5に示す映像信号変換装置外部に配置され、アナログの映像信号A Vをデジタルの映像信号に変換して水平フィルタ11へ出力する。水平フィルタ11には、A D変換器8のサンプリングクロックと同一の第1のクロックC L K 1が供給される。

【0066】

ラインメモリ12は、2本の並列に並んだラインメモリ14 a、14 b、切り換え回路13、15を含む。ラインメモリ12の書き込み側には第1のクロックC L K 1および第1の水平同期信号H 1 1が供給され、その読み出し側には第2のクロックC L K 2および第1のラッチ水平同期信号H 1 2が供給される。

【0067】

フィールドメモリ部7は、フィールドメモリ7 a、7 b、7 cを含み、本実施の形態の場合、フィールドメモリ7 a、7 b、7 cには、32ビット幅の16Mビットの容量を有するS D R A Mが用いられている。

【0068】

メモリ制御部21は、書き込み制御部22、読み出し制御部23、ビット幅変換部24およびビット幅逆変換部25を含む。メモリ制御部21は、3つのフィ

ールドメモリ 7 a, 7 b, 7 c を制御する。

【0069】

書き込み制御部 22 は、第 2 のクロック CLK 2、第 1 のラッチ水平同期信号 H12 および第 1 のラッチ垂直同期信号 V12 を供給され、書き込みアドレスおよび制御信号を発生させ、フィールドメモリ 7 a, 7 b, 7 c の書き込み動作を制御する。

【0070】

読み出し制御部 23 は、第 2 のクロック CLK 2、第 2 の水平同期信号 H21、第 2 の遅延水平同期信号 H2D、第 2 の倍水平同期信号 H2H および第 2 の垂直同期信号 V21 を供給され、読み出しアドレスおよび制御信号を発生させ、フィールドメモリ 7 a, 7 b, 7 c の読み出し動作を制御する。

【0071】

ビット幅変換部 24 は、ラインメモリ 12 から出力される映像信号のビット幅をフィールドメモリ 7 a, 7 b, 7 c のビット幅である 32 ビット幅に変換してフィールドメモリ 7 a, 7 b, 7 c のうちの一つへ出力する。ビット幅逆変換部 25 は、フィールドメモリ 7 a, 7 b, 7 c から出力される 32 ビット幅のデータを次段のラインメモリ 31 が要求するビット幅に変換した信号 S1～S3 を図 8 に示すラインメモリ 31 へ出力する。

【0072】

次に、図 8 に示すラインメモリ 31 は、ラインメモリ 32 b, 32 c, 33 b, 33 c, 33 d, 34 b, 34 c を含む。ラインメモリ 31 は、IP 変換用のデータを蓄えるラインメモリであり、その書き込み側には第 2 のクロック CLK 2 および第 2 の遅延水平同期信号 H2D が供給され、その読み出し側には第 2 のクロック CLK 2、第 2 の水平同期信号 H21 および第 2 の遅延水平同期信号 H2D が供給される。

【0073】

ラインメモリ 32 b, 32 c は直列に接続され、ラインメモリ 33 b, 33 c, 33 d は直列に接続され、ラインメモリ 34 b, 34 c は直列に接続され、それぞれ読み出しと次段の書き込みが同時に発生するように構成されている。

【 0 0 7 4 】

ラインメモリ 3 2 b, 3 2 c は、N + 1 フィールド（後フィールド）のデータを蓄えるラインメモリであり、フィールドメモリ部 7 からのスルー出力 P R E A、ラインメモリ 3 2 b の出力 P R E B、ラインメモリ 3 2 c の出力 P R E C の順に古いラインの出力となる。

【 0 0 7 5 】

ラインメモリ 3 3 b, 3 3 c, 3 3 d は、N フィールド（自フィールド）のデータを蓄えるラインメモリであり、フィールドメモリ部 7 からのスルー出力 M I D A、ラインメモリ 3 3 b の出力 M I D B、ラインメモリ 3 3 c の出力 M I D C、ラインメモリ 3 3 d の出力 M I D D の順に古いライン出力となる。

【 0 0 7 6 】

ラインメモリ 3 4 b, 3 4 c は、N - 1 フィールド（前フィールド）のデータを蓄えるラインメモリであり、フィールドメモリ部 7 からのスルー出力 P O S A、ラインメモリ 3 4 b の出力 P O S B、ラインメモリ 3 4 c の出力 P O S C の順に古いラインの出力となる。

【 0 0 7 7 】

I P 変換部 4 1 は、ハイパスフィルタ 4 2 a, 4 2 b、ローパスフィルタ 4 3、補間ライン合成部 4 4 および切り換え回路 4 5 を含む。I P 変換部 4 1 は、第 2 のクロック C L K 2、第 2 の水平同期信号 H 2 1 および第 2 の倍水平同期信号 H 2 H により動作する。

【 0 0 7 8 】

ハイパスフィルタ 4 2 a は、N + 1 フィールドの 3 ライン分のハイパスフィルタであり、ローパスフィルタ 4 3 は、N フィールドの 4 ライン分のローパスフィルタであり、ハイパスフィルタ 4 2 b は、N - 1 フィールドの 3 ライン分のハイパスフィルタである。

【 0 0 7 9 】

補間ライン合成部 4 4 は、ハイパスフィルタ 4 2 a, 4 2 b およびローパスフィルタ 4 3 の出力から補間ラインを合成し、切り換え回路 4 5 へ出力する。切り換え回路 4 5 は、補間ラインの出力と現ラインの出力 M I D C とを切り換えて出

力し、入力される信号がプログレッシブ信号である場合、常に現ライン側を選択する。なお、ラインメモリ 3 1 および I P 変換部 4 1 として、図 3 2 に示す走査線変換回路と同様のものを用いたが、この例に特に限定されず、他の I P 変換を行う回路を用いてもよい。

【 0 0 8 0 】

ラインメモリ 5 1 は、ラインメモリ 5 2 a ~ 5 2 d を含む。ラインメモリ 5 1 は、走査線変換用のデータを蓄えるラインメモリであり、その書き込み側は第 2 のクロック C L K 2 および第 2 の倍水平同期信号 H 2 H により制御され、読み出し側は第 2 のクロック C L K 2 および第 3 の水平同期信号 H 3 1 により制御される。ラインメモリ 5 2 a ~ 5 2 d は、読み出しと次段の書き込みとが同時に発生するように構成され、出力 P A ~ P D をそれぞれ出力する。

【 0 0 8 1 】

走査線変換部 6 1 は、係数発生部 6 2、乗算器 6 3 a ~ 6 3 d および加算器 6 4 を含む。走査線変換部 6 1 は、第 2 のクロック C L K 2、第 3 の水平同期信号 H 3 1 および第 2 のラッチ垂直同期信号 V 2 P により動作する。

【 0 0 8 2 】

乗算器 6 3 a ~ 6 3 d は、ラインメモリ 5 1 の出力 P A ~ P D の各データと係数発生部 6 2 により発生される係数とを掛け合わせる。加算器 6 4 は、乗算器 6 3 a ~ 6 3 d から出力されるデータを加算し、走査線変換後の映像データ S 4 を図 9 に示す水平圧縮部 7 1 へ出力する。なお、走査線変換部 6 1 として、図 3 4 に示す画像処理装置と同様のものを用いたが、この例に特に限定されず、他の走査線変換を行う回路を用いてもよい。

【 0 0 8 3 】

次に、図 9 に示す水平圧縮部 7 1 は、第 2 のクロック C L K 2 により動作し、係数発生部 7 2、ラッチ回路 7 3、乗算器 7 4 a、7 4 b および加算器 7 5 を含む。乗算器 7 4 a は、係数発生部 7 2 から出力される係数と走査線変換後の映像データ S 4 とを乗算し、乗算器 7 4 b は、係数発生部 7 2 から出力される係数と走査線変換後の映像データ S 4 をラッチ回路 7 3 により 1 T (1 クロック) でラッチしたデータとを乗算する。加算器 7 5 は、乗算器 7 4 a の出力および乗算器

7 4 b の出力を加算し、ラインメモリ 8 1 へ出力する。

【 0 0 8 4 】

ラインメモリ 8 1 は、水平画素変換用のデータを蓄えるラインメモリであり、その書き込み側は第 2 のクロック C L K 2 および第 3 の水平同期信号 H 3 1 により動作し、その読み出し側は第 3 のクロック C L K 3 および第 3 のラッチ水平同期信号 H 3 3 により動作する。

【 0 0 8 5 】

水平拡大部 9 1 は、第 3 のクロック C L K 3 により動作し、係数発生部 9 2、ラッチ回路 9 3、乗算器 9 4 a、9 4 b および加算器 9 5 を含む。水平拡大部 9 1 は、水平圧縮部 7 1 と同様に構成され、係数発生部 9 2 から出力される係数とラインメモリ 8 1 から出力されるデータとを乗算し、変換後の映像信号 T V を出力する。

【 0 0 8 6 】

なお、本実施の形態では、例えば、映像信号のビット幅が 8 ビット幅で R G B 方式の映像信号の場合、 $8 \text{ ビット} \times 3 = 24 \text{ ビット}$ 幅に対応する回路が設けられ、また、Y U V 方式の映像信号の場合、各ブロックを Y 系と U V 系とに分けて構成してもよい。

【 0 0 8 7 】

本実施の形態では、フィールドメモリ部 7 が記憶手段に相当し、ラインメモリ 1 2 およびメモリ制御部 2 1 が垂直周波数変換処理手段に相当し、ラインメモリ 3 1 および I P 変換部 4 1 がインターレース／プログレッシブ変換処理手段に相当し、ラインメモリ 5 1 および走査線変換部 6 1 が走査線変換処理手段に相当し、水平圧縮部 7 1、ラインメモリ 8 1 および水平拡大部 9 1 が水平画素変換処理手段に相当し、同期処理部 6 が同期制御手段に相当する。また、ラインメモリ 1 2 が第 1 のラインメモリに相当し、メモリ制御部 2 1 が垂直周波数変換手段に相当し、ラインメモリ 3 1 が第 2 のラインメモリに相当し、I P 変換部 4 1 がインターレース／プログレッシブ変換手段に相当し、ラインメモリ 5 1 が第 3 のラインメモリに相当し、走査線変換部 6 1 が走査線変換手段に相当し、水平圧縮部 7 1 が水平圧縮手段に相当し、ラインメモリ 8 1 が第 4 のラインメモリに相当し、

水平拡大部 9 1 が水平拡大手段に相当する。

【 0 0 8 8 】

以下、上記のように構成された映像信号変換装置の各ブロックの動作およびデータの受け渡しについて説明する。

【 0 0 8 9 】

まず、ラインメモリ 1 2 について説明する。ラインメモリ 1 2 は、クロックの乗せ換えすなわち第 1 のクロック C L K 1 から第 2 のクロック C L K 2 への乗せ換えを行うとともに、フィールドメモリ 7 a, 7 b, 7 c へ書き込むデータのバッファ的役割を行う。I P 変換を行う場合、3 つのフィールドの情報が必要になるため、3 つのフィールドメモリ 7 a, 7 b, 7 c のすべてが読み出し動作を行う。この場合、読み出し動作と書き込み動作とが一致しないようにするためには、4 つのフィールドメモリを持てばよいが、不経済となる。したがって、読み出し期間の間を縫って書き込み処理を行うことができるように、ラインメモリ 1 2 が挿入される。

【 0 0 9 0 】

次に、メモリ制御部 2 1 によるフィールドメモリ 7 a ~ 7 c の書き込みおよび読み出し動作について説明する。図 1 0 は、メモリ制御部 2 1 によるフィールドメモリ 7 a ~ 7 c の書き込みおよび読み出し動作を説明するためのタイミング図である。

【 0 0 9 1 】

図 1 0 の (a) に示すように、I P 変換および垂直周波数変換を行わない場合、フィールドメモリ 7 a に書き込まれたデータは、次のフィールドで読み出される。このとき、フィールドメモリ 7 b が書き込み状態にあり、すなわち 3 つのフィールドメモリ 7 a ~ 7 c のうちの 1 つが書き込み状態にあり、他の 1 つが読み出し状態にあり、残りの一つは何もしない状態にある。

【 0 0 9 2 】

図 1 0 の (b) に示すように、I P 変換を行う場合、フィールドメモリ 7 a ~ 7 c に書き込まれた各データは 3 フィールド間保持され、書き込まれた次のフィールドから 3 回読み出されることになる。例えば、フィールドメモリ 7 a に書き

込まれたデータは、2フィールド遅れて自フィールド（Nフィールド）のデータとして出力される。この場合、例えば、フィールドメモリ7aに書き込みが発生している場合でも、フィールドメモリ7aから読み出しが発生する。つまり、2つのフィールドメモリが書き込み状態と読み出し状態とを時分割に切り換え、残りの2つのフィールドメモリが読み出し状態にある。このとき、IP変換処理の都合上、読み出しを優先することになるため、以下に説明するように、フィールドメモリ7a～7cの書き込みバッファ用のラインメモリ12が必要になる。

【0093】

図10の(c)に示すように、垂直周波数変換、例えば4→3変換すなわち垂直周波数を80Hzから60Hzへ変換する場合、4フィールドのデータを書き込んでもそのうち1回のデータは不要なデータとなる。したがって、垂直周波数変換を行うときは、この不要データを書き込まないように予め処理する。具体的には、読み出し側の1フィールド期間内に第1のラッチ垂直同期信号V12（入力側の垂直同期信号）が2回入力されたフィールドの次のフィールドを書き込まないように制御する。この結果、読み出し時は3つのフィールドメモリ7a～7cのデータがフィールドごとに順に読み出されることになる。このとき、3つのフィールドメモリ7a～7cのうちの1つが書き込み状態にあり、他の1つが読み出し状態にあり、残りの一つは何もしない状態にある。

【0094】

次に、ラインメモリ12に2本のラインメモリ14a, 14bを並列に用いている理由について説明する。これは、IP変換時に第1のラッチ水平同期信号H12の周波数を第2の水平同期信号H21の周波数へ変換する必要があるためである。その原理について、図11を用いて説明する。

【0095】

フィールドメモリ部7への書き込みが第1のラッチ水平同期信号H12により制御されるのに対し、図11に示す第2の水平同期信号H21によりフィールドメモリ部7から読み出しが行われている場合、ラインメモリ14a, 14bでは、書き込みが優先され、書き込まれていない期間でフィールドメモリ部7へデータが読み出される。

【0096】

一方、図10を用いて説明したように、IP変換時に、フィールドメモリ部7は、書き込まれている間に読み出しも同時に行わなければならない。この場合、フィールドメモリ部7では読み出しが優先されるので、読み出しが発生していない期間にラインメモリ14a, 14bからのデータを受けなければならない。また、入力側の第1のクロックCLK1に対して内部の第2のクロックCLK2は十分に高い周波数であるため、IP変換時では、ラインメモリ14a, 14bの書き込み期間に対して読み出し期間が短くなる。

【0097】

これらの条件を総合すると、図11の(a)に示すように、1本のラインメモリでは、期間171のようにどうしても書き込みに対して読み出しの追越しが発生してしまい、1ライン分の出力に対して、複数のラインの情報が混在してしまう。これを避けるために2本のラインメモリが用いられ、図11の(b)に示すように、ラインメモリ14a, 14bに書き込まれたデータは、第1のラッチ水平同期信号H12が次に入力されるまで保持され、次の第1のラッチ水平同期信号H12が入力されかつフィールドメモリ部7が読み出し状態にない場合に、保持していたデータをフィールドメモリ部7へ書き込む。

【0098】

このようにして、IP変換時のように1つのフィールドメモリに対して書き込みと読み出しとが混在する場合でも、データの追越しを避け、第1のラッチ水平同期信号H12を第2の水平同期信号H21に変換することができる。

【0099】

次に、IP変換について説明する。図12は、最適フィルタ補間、フィールド間補間およびフィールド内補間によるIP変換の例を説明するための模式図である。なお、図中、白丸は補間処理に用いられるラインを示し、黒丸は補間ラインを示す。

【0100】

本実施の形態では、上記したように、図12の(a)に示すように、IP変換用のラインメモリ31からの出力を用いて最適フィルタ補間によりIP変換を行

っている。I P 変換としては、その他にも図 1 2 の (b) に示すように、前フィールドのデータをそのままってくるフィールド間補間、図 1 2 の (c) に示すように自フィールドの上下の 2 つのラインから平均をとるフィールド内補間があり、前者は静止画に適し、後者は動画に適する。また、フィールド間補間およびフィールド内補間を動き検出することにより段階的に切り換えている方法も一般的に広く用いられている。このように、I P 変換は、上記の最適フィルタ補間による例に特に限定されず、上記のような他の種々の I P 変換を用いてもよい。

【0 1 0 1】

次に、I P 変換および走査線変換におけるデータの転送タイミングについて説明する。

【0 1 0 2】

図 1 3 は、I P 変換を行う場合の走査線変換前後の各ラインを説明するための模式図である。図 1 3 に示すライン A、ライン C、ライン E、ライン G、ライン I、ライン K、…は、入力される映像信号に実際にあるラインであり、ハッチングで示したライン B、ライン D、ライン F、ライン H、ライン J、…は、I P 変換により補間されるラインである。

【0 1 0 3】

また、図 1 3 に示すように、I P 変換後のラインに対して 4 → 3 変換の走査線変換を行い、奇数フィールドのライン A の位置に変換後の始めのライン 1 が位置する場合、変換後のラインの位置は、ライン 1、ライン 2、ライン 3、ライン 4、ライン 5、ライン 6、ライン 7、ライン 8、…となる。一方、偶数フィールドの場合には、奇数フィールドと比較して各ラインが半ライン分遅れるため、奇数フィールドのライン B の位置にライン A が位置することになる。したがって、ライン 4 を作成する場合、奇数フィールドではライン E のデータを最も強く反映させ、偶数フィールドではライン D のデータを最も強く反映させるようにしなければならない。上記のように、I P 変換および走査線変換を行う場合、各データは以下のタイミングで転送され処理される。

【0 1 0 4】

図 1 4 は、奇数フィールドの場合の I P 変換および走査線変換のデータの転送

タイミングを説明するための図であり、図 1 5 は、偶数フィールドの場合の I P 変換および走査線変換のデータの転送タイミングを説明するための図である。なお、図 1 4 および図 1 5 では、I P 変換用のラインメモリ 3 2 b、3 2 c、3 3 b ~ 3 3 d、3 4 b、3 4 c を図 1 6 に示すように模式的に表し、走査線変換用のラインメモリ 5 2 a ~ 5 2 d を図 1 7 に示すように模式的に表している。

【0 1 0 5】

まず、図 1 4 に示す奇数フィールドの場合について説明する。フィールドメモリ 7 a ~ 7 c から出力される映像データは、第 2 の水平同期信号 H 2 1 に対して半位相ずれた第 2 の遅延水平同期信号 H 2 D に同期して転送される。

【0 1 0 6】

例えば、第 2 の遅延水平同期信号 H 2 D を基準にして、ライン A のデータを出力 M I D A として転送すると同時にライン 3 3 b に書き込みを行う。このとき、N - 1 および N + 1 フィールドのライン A は偶数フィールドであるため、半位相遅れており、まだ転送されない。

【0 1 0 7】

次の第 2 の遅延水平同期信号 H 2 D が入力されると、ライン C のデータが出力 M I D A として転送され、N + 1 および N - 1 フィールドのライン A のデータが出力 P R E A、P O S A として転送されると同時にラインメモリ 3 3 b、3 2 b、3 4 b に書き込まれ、ラインメモリ 3 3 b のデータが次段のラインメモリ 3 3 c に書き込まれる。

【0 1 0 8】

この結果、ラインメモリ 3 3 c には N フィールドのライン A のデータが、ラインメモリ 3 3 b には N フィールドのライン C のデータが、ラインメモリ 3 2 b には N + 1 フィールドのライン A のデータが、ラインメモリ 3 4 b には N - 1 フィールドのライン A のデータがそれぞれ蓄えられることになる。

【0 1 0 9】

次に、第 2 の水平同期信号 H 2 1 が入力されると、ラインメモリ 3 3 c の出力 M I D C のみが出力され、このとき、他のラインメモリのデータは次段のラインメモリへは書き込まれない。

【0 1 1 0】

次に、第2の遅延水平同期信号H 2 Dが入力されると、NフィールドのラインEのデータならびにN - 1およびN + 1フィールドのラインCのデータがフィールドメモリ7 a ~ 7 cから転送され、補間ラインBのデータが合成されるとともに、次段のラインメモリへの書き込みが発生する。

【0 1 1 1】

このように、第2の遅延水平同期信号H 2 Dが入力されると、フィールドメモリ7 a ~ 7 cからデータが転送され、同時にラインメモリのデータが次段のラインメモリへ書き込まれてラインメモリ間でのデータのローテーションが行われ、さらに補間ラインが合成される。また、第2の水平同期信号H 2 1が入力されると、ラインメモリ3 3 cの出力M I D Cのみが現ラインのデータとして出力される。

【0 1 1 2】

次に、走査線変換用のラインメモリ5 1には、I P変換部4 1からデータが転送され、第2の倍水平同期信号H 2 Hに同期して新しいラインのデータが書き込まれ、同時に古いデータが消去されるように、次段のラインメモリへの転送が行われる。

【0 1 1 3】

一方、ラインメモリ5 1の読み出しは、第3の水平同期信号H 3 1に同期して行われ、同時に係数発生部6 2からの出力に応じて演算が行われる。このとき、係数発生部6 2から走査線変換前のラインと走査線変換後のラインとの位相によって適当な係数が発生される。例えば、ラインAと同位相にあるライン1に対しては、係数1が発生され、ラインAのデータそのものが転送される。

【0 1 1 4】

また、ラインBとラインCとを1 : 2の割合で分割した位置にあるライン2を合成する場合、ラインBに対して係数2 / 3が、ラインCに対して係数1 / 3が、その他のラインに対して係数0がそれぞれ掛け合わされ、加算器6 4により常にゲインが1となるように制御される。以降、図1 4中に示された各係数により上記と同様に乗算が行われていく。

【0 1 1 5】

このようにして合成されたデータが、水平圧縮部 7 1 を介してラインメモリ 8 1 へ書き込まれる。なお、図 1 4 では走査線変換として 4 → 3 変換の場合を示し、4 周期分の第 2 の倍水平同期信号 H 2 H に対して 3 周期分の第 3 の水平同期信号 H 3 1 が対応している。また、第 2 の倍水平同期信号 H 2 H と第 3 の水平同期信号 H 3 1 との位相関係も係数 1 となるライン 1 を合成するとき一致するように、第 2 の倍水平同期信号 H 2 H および第 3 の水平同期信号 H 3 1 が同期処理部 6 により作成される。

【0 1 1 6】

次に、偶数フィールドの場合について説明する。図 1 5 に示すように、偶数フィールドの場合、前後のフィールドのデータは、自フィールドのデータに対して半位相進んだ状態にある。したがって、フィールドメモリ 7 a ~ 7 c からライン A のデータが 3 フィールドともに同時に転送され、それぞれ出力 P R E A, M I D A, P O S A として出力され、同時にラインメモリ 3 2 b, 3 3 b, 3 4 b へ書き込まれる。その後、奇数フィールドと同様に、第 2 の遅延水平同期信号 H 2 D に同期してフィールドメモリ 7 a ~ 7 c からの転送および次段のラインメモリへの書き込みが行われ、第 2 の水平同期信号 H 2 1 に同期して現ラインのデータが出力 M I D C として転送される。

【0 1 1 7】

次に、偶数フィールドの走査線変換について説明する。奇数フィールドの場合、ライン C のデータを走査線変換用のラインメモリ 5 1 へ転送した時点で、ライン 1 としてライン A をラインメモリ 5 2 c から読み出していた。一方、偶数フィールドの場合、ライン 1 の合成は、ライン B のデータを転送した時点で行われ、ライン A のさらに上にあるラインすなわち黒ラインのデータをラインメモリ 5 2 c から読み出すことになる。以降、奇数フィールドと同様に、ライン 2 は、例えばライン A のデータが 2 / 3 倍にされ、ライン B のデータが 1 / 3 倍にされ、両者が加算されて合成され、水平圧縮部 7 1 を介して水平画素変換用のラインメモリ 8 1 へ書き込まれる。

【0 1 1 8】

次に、I P 変換を行わずに走査線変換を行う場合について説明する。図 1 8 は、I P 変換を行わずに走査線変換を行う場合のデータの転送タイミングを説明するための図であり、図 1 9 は、I P 変換を行わない場合の走査線変換前後の各ラインを説明するための模式図である。

【0 1 1 9】

図 1 8 および図 1 9 に示すように、I P 変換を行わない場合、第 2 の水平同期信号 H 2 1、第 2 の遅延水平同期信号 H 2 D、第 2 の倍水平同期信号 H 2 H がすべて同じ信号となり、現ラインの処理のみとなる。したがって、第 2 の遅延水平同期信号 H 2 D が入力されると、自フィールドのデータのみがフィールドメモリ 7 a ~ 7 c から転送され、同時に前段のラインメモリから次段のラインメモリへ順次データが書き込まれていくという手順をとる。また、走査線変換用のラインメモリ 5 1 への転送では、第 2 の水平同期信号 H 2 1 (= 第 2 の遅延水平同期信号 H 2 D、第 2 の倍水平同期信号 H 2 H) に同期して出力 M I D C のデータが転送される。なお、走査線変換部 6 1 の動作は、図 1 4 に示す奇数フィールドの場合と同様である。

【0 1 2 0】

次に、I P 変換時のデータ転送タイミングについてさらに詳細に説明する。図 2 0 は、I P 変換時のデータ転送タイミングを説明するための図であり、前述した図 1 4 および図 1 5 を書き直した図である。

【0 1 2 1】

図 2 0 の (a) に示すように、映像信号として、フィールド A, B, C, D が順に入力され、その同期信号である第 1 の水平同期信号 H 1 1 および第 1 の垂直同期信号 V 1 1 の位相関係から、フィールド A, C が偶数フィールドであり、フィールド B, D が奇数フィールドであり、各フィールドのライン番号が垂直期間の始めから例えばフィールド A では A 1, A 2, A 3, ... であり、また、有効映像期間として、フィールドメモリ 7 a ~ 7 c に蓄えられるラインは 5 番目のライン A 5, B 5, C 5, D 5, ... からであると仮定する。この場合のフィールドメモリ 7 a ~ 7 c の出力シーケンスが図 2 0 の (b) および (c) に示されている。

【0 1 2 2】

まず、奇数フィールドの処理として、フィールドBに対する補間ラインを作成する場合について考える。図20の(b)に示すように、第2の垂直同期信号V21が入力されて2ライン目から転送が開始されると仮定すると、図14に示す場合と同様に第2の遅延水平同期信号H2Dによりフィールドメモリ7a~7cからの転送が発生し、まず、NフィールドのラインB5のデータが出力MIDAとして転送されるとともに、同時にラインメモリ33bに書き込まれる。このとき、N+1フィールドの出力PREA、N-1フィールドの出力POSAには出力は現れない。

【0 1 2 3】

このようにして、第2の遅延水平同期信号H2Dを基準にして、例えば、出力MIDAにラインB8のデータが出力された時は、出力MIDBにはラインB7のデータが、出力MIDCにはラインB6のデータが、出力MIDDにはラインB5のデータが、出力POSAにはラインA7のデータが、出力POSBにはラインA6のデータが、出力POSCにはラインA5のデータが、出力PREAにはラインC7のデータが、出力PREBにはラインC6のデータが、出力PRECにはラインC5のデータがそれぞれ出力される。これらのすべてのデータまたは一部のデータを利用して、ラインB7とラインB6との間の補間ラインが合成され、同時に次段のラインメモリに順に各データが書き込まれ、データのローテーションがおこる。

【0 1 2 4】

次の第2の水平同期信号H21が入力された時は、出力MIDCにはラインB7のデータが書き込まれているため、出力MIDCのみから現ラインB7のデータが転送される。

【0 1 2 5】

このように、IP変換を行う期間は、第2の遅延水平同期信号H2Dに同期してフィールドメモリ7a~cからのデータの転送、次段のラインメモリへのデータのローテーションおよび補間ラインの合成を行う補間ライン合成期間151と、第2の水平同期信号H21に同期して現ラインのデータを読み出す現ライン転

送期間 1 5 2 とに分けられ、I P 変換が行われる。

【0 1 2 6】

最後に、水平画素変換について説明する。図 2 1 は、水平画素変換の動作を説明するためのタイミング図である。上記したように、水平画素変換を行うブロックは、縮小処理を行う水平圧縮部 7 1 と拡大処理を行う水平拡大部 9 1 とに分けられている。

【0 1 2 7】

水平圧縮部 7 1 による縮小処理は、ラインメモリ 8 1 への書き込み時に行われる。図 2 1 の (a) は、水平画素変換として 3 → 2 変換を行う例を示しており、この場合、3 → 2 変換であるため、第 2 のクロック CLK 2 の 3 クロックに 1 回はラインメモリ 8 1 への書き込みが発生しないことになる。なお、水平圧縮部 7 1 において、変換する画素の位置に応じた係数が係数発生部 7 2 から供給されて演算される処理は、走査線変換部 6 1 と基本的に同様である。

【0 1 2 8】

水平拡大部 9 1 による拡大処理は、ラインメモリ 8 1 の読み出し時に行われる。図 2 1 の (b) では、水平画素変換として 2 → 3 変換を行う例を示しており、この場合、第 3 のクロック CLK 3 の 3 クロックに 1 回はラインメモリ 8 1 から読み出しが発生しないことになる。なお、水平拡大部 9 1 において、変換する画素の位置に応じた係数が係数発生部 9 2 から供給されて演算される処理は、走査線変換部 6 1 と基本的に同様である。

【0 1 2 9】

ここで、上記の拡大処理および縮小処理を同時に行う場合の不都合について説明する。図 2 1 の (c) に示すように、ラインメモリ 8 1 の書き込み時に拡大処理を行おうとすると、1 クロック (1 T) の期間中に 2 つのデータを同時に作らなければならない。このような回路は複雑になってしまい、拡大率が大きくなった場合には、同時に作成する画素数がさらに増加するため、あまり好ましくない。したがって、水平画素変換に関しては、本実施の形態のように、水平圧縮部 7 1 と水平拡大部 9 1 とを別々に使用し、その間に水平画素変換用のデータを蓄えるラインメモリ 8 1 を配置し、さらにラインメモリ 8 1 によりクロックの書き換

えを行うことが好ましい。

【0 1 3 0】

上記のように、本実施の形態では、垂直周波数変換、I P 変換、走査線変換および水平画素変換を行う個別のブロック間で信号の受け渡しを適切なタイミングで行うことができ、また、I P 変換を行う場合の信号の受け渡しおよびそのタイミングを明確にすることができ、マトリックス表示を行う表示装置に適した映像信号への変換に要求される信号処理を総合的かつに簡単に実現することができる。

【0 1 3 1】

（第 3 の実施の形態）

次に、本発明の第 3 の実施の形態について説明する。本実施の形態では、垂直周波数変換およびフィールドメモリの前後で水平周波数の変換（第 1 のラッチ水平同期信号 H 1 2 の周波数から第 2 の水平同期信号 H 2 1 の周波数への変換）を行わない場合に走査線変換を行うものである。

【0 1 3 2】

例えば、走査線変換として 2 → 3 変換の拡大処理を行う場合、走査線変換後の第 3 の水平同期信号 H 3 1 は、第 1 の水平同期信号 H 1 1 の 1. 5 倍の周波数となる。この場合、単純に出力側のクロック周波数も 1. 5 倍のものが必要となり、次段の回路には、高い周波数に対応可能な回路が要求される。一方、縮小処理として 3 → 2 変換を行う場合、例えば第 1 の水平同期信号 H 1 1 のライン数が 525 本であったとすると、変換後の第 3 の水平同期信号 H 3 1 のライン数は、 $525 \times 2 / 3 = 350$ ラインとなってしまふ。このとき、垂直方向の画素数が 480 ラインであるディスプレイパネルに映像を出画する場合、130 ライン分足りなくなってしまう。したがって、次段以降でこの不足分に対策しない限り、出力が不定となる。本実施の形態では、このような課題を解決するため、以下のよう構成されている。

【0 1 3 3】

図 2 2 は、本発明の第 3 の実施の形態による映像信号変換装置の要部の構成を示すブロック図である。図 2 2 に示す映像信号変換装置では、フィールドメモリ

部 7、メモリ制御部 2 1、同期処理部 6 を備える。メモリ制御部 2 1 は、読み出し開始アドレス発生部 1 0 1、黒ライン挿入部 1 0 2 を含む。同期処理部 6 は、読み出し水平同期信号発生部 1 0 3 を含む。

【0 1 3 4】

読み出し開始アドレス発生部 1 0 1 は、図 7 に示すフィールドメモリ部 7 の読み出し動作を制御する読み出し制御部 2 3 の一部であり、読み出し開始アドレスを発生させる。黒ライン挿入部 1 0 2 は、映像信号の特定期間に黒ラインのデータを挿入する。

【0 1 3 5】

読み出し水平同期信号発生部 1 0 3 は、同期処理部 6 内にあり、フィールドメモリ部 7 の読み出し用の第 2 水平同期信号 H 2 1 を発生させる。なお、上記の各ブロック以外の構成は、第 2 の実施の形態と同様であるので詳細な説明を省略する。

【0 1 3 6】

本実施の形態では、読み出し開始アドレス発生部 1 0 1 がアドレス発生手段に相当し、黒ライン挿入部 1 0 2 が黒ライン挿入手段に相当し、読み出し水平同期信号発生部 1 0 3 が水平同期信号発生手段に相当し、その他は第 2 の実施の形態と同様である。

【0 1 3 7】

図 2 3 は、走査線変換による拡大処理時の各水平同期信号のタイミング図であり、図 2 4 は、走査線変換による拡大処理を説明するための表示画像を示す模式図であり、図 2 5 は、拡大処理時のフィールドメモリ部 7 の書き込みおよび読み出しアドレスを説明するための模式図である。

【0 1 3 8】

上記のような課題に対処するためには、拡大処理時には、入力される映像信号により表示される表示画像の上下のデータは不要であるため、フィールドメモリ部 7 の出力から上下のデータを切り落とし、同時にフィールドメモリ部 7 の読み出し用の水平同期信号である第 2 の水平同期信号 H 2 1 の周波数を下げ、走査線変換後の第 3 の水平同期信号 H 3 1 の周波数が走査線変換をしない場合と同等に

なるように操作すればよい。

【0139】

具体的には、図23に示すように、2→3変換による拡大処理の場合、映像信号は、第1のラッチ水平同期信号H12に同期してライン1のデータから順にフィールドメモリ部7に書き込まれる。読み出し水平同期信号発生部103から出力されるフィールドメモリ部7の出力側の水平同期信号である第2の水平同期信号H21は、2→3変換することを見越して、その周期が予め1.5倍にされるとともに、不要な上下のデータが切り落とされる。図23では、入力される映像信号に対してライン3から読み出される。

【0140】

すなわち、図25に示すように、すべての映像信号を取り込むようにフィールドメモリ部7への書き込み動作が制御され、一方、書き込み先頭アドレスより大きい読み出し先頭アドレスを読み出し開始アドレス発生部101により発生させ、不必要な上のラインのデータを読み出さないように読み出し動作が制御される。その後、走査線変換後の水平同期信号である第3の水平同期信号H31は、第1のラッチ水平同期信号H12と同じ周期になっているが、拡大処理は完了している。上記の処理を表示画像により模式的に表すと、図24に示すようになる。

【0141】

次に、縮小処理について図26ないし図28を用いて説明する。図26は、走査線変換による縮小処理時の各水平同期信号のタイミング図であり、図27は、走査線変換による縮小処理を説明するための表示画像を示す模式図であり、図28は、縮小処理時のフィールドメモリ部7の書き込みおよび読み出しアドレスを説明するための模式図である。

【0142】

図26に示すように、4→3変換による縮小処理の場合、フィールドメモリ部7の出力側の水平同期信号である第2の水平同期信号H21の周期を予め0.75倍にしておくことにより、走査線変換後の水平同期信号である第3の水平同期信号H31を一定に保つことができる。

【0143】

しかしながら、縮小処理の場合、映像期間を表示画面の真ん中に持ってくるためには、その上下の期間に何らかのダミー信号を挿入しなければならない。このダミー信号として一般的には黒ラインのデータが用いられるため、本実施の形態では、フィールドメモリ部 7 からの読み出し時に、黒ライン挿入部 1 0 2 により黒ラインのデータを挿入した後に書き込まれたデータを出力し、さらに、書き込まれたデータの出力が終了した後も、必要に応じて黒ラインのデータを挿入している。上記の処理を表示画像により模式的に表すと、図 2 7 に示すようになる。

【0 1 4 4】

上記の場合、図 2 8 に示すように、読み出し開始アドレス発生部 1 0 1 は、黒ラインを挿入するときに読み出し先頭アドレスとして負の値を設定し、この負の設定値をカウントアップし、このカウントアップ値が負数の場合に黒ライン挿入部 1 0 2 を制御して黒ラインのデータを挿入する。読み出し開始アドレス発生部 1 0 1 は、カウントアップ値が 0 になった時点で、もともとフィールドメモリ部 7 に書き込まれているデータを読み出すように動作し、また、書き込まれているデータが終了した時点で再び黒ラインのデータを挿入するように動作する。

【0 1 4 5】

このようにして、縮小処理時でも、不定データが出力されることがなく、かつ出力周波数を一定に保つことができる。したがって、本実施の形態では、水平同期信号およびクロックの周波数の変動を抑えることができ、次段の回路やディスプレイパネルを安定して動作させることが可能となる。

【0 1 4 6】

(第 4 の実施の形態)

次に、本発明の第 4 の実施の形態による映像信号変換装置について説明する。図 2 9 は、本発明の第 4 の実施の形態による映像信号変換装置の要部の構成を示すブロック図である。

【0 1 4 7】

図 2 9 に示す映像信号変換装置は、フィールドメモリ部 7、メモリ制御部 2 1 および同期制御部 6 を備える。フィールドメモリ部 7 は、フィールドメモリ 7 a、7 b、7 c を含み、同期制御部 6 は、フィールド判別部 1 1 1 を含み、メモリ

制御部 2 1 は、書き込み制御部 1 1 2、読み出し制御部 1 1 3、切り換え回路 1 1 4、1 1 6、およびレジスタ 1 1 5 a、1 1 5 b、1 1 5 c を含む。

【0 1 4 8】

フィールド判別部 1 1 1 は、第 1 の水平同期信号 H 1 1 および第 1 の垂直同期信号 V 1 1 を受け、フィールド判別情報として、入力された映像信号がインターレース信号の場合、奇数フィールドの時は 0 を、偶数フィールドの時は 1 をそれぞれ出力する。具体的には、図 3 0 に示すように、第 1 の水平同期信号 H 1 1 に対してデューティ比 5 0 % の窓関数を発生させて、窓関数がローレベルの期間に第 1 の垂直同期信号 V 1 1 のエッジがあった場合、フィールド判別信号として 0（ローレベル）を出力し、逆に窓関数がハイレベルの期間に第 1 の垂直同期信号 V 1 1 のエッジがある場合、フィールド判別信号として 1（ハイレベル）を出力する。

【0 1 4 9】

書き込み制御部 1 1 2 は、フィールドメモリ 7 a ～ 7 c の書き込み制御信号を発生するとともに、セクタ 1 1 4 へどのフィールドメモリ 7 a ～ 7 c に書き込みが行われているかを出力する。レジスタ 1 1 5 a ～ 1 1 5 c は、各フィールドメモリ 7 a ～ 7 c に対応して設けられ、セクタ 1 1 4 は、書き込みが起こっているフィールドメモリ 7 a ～ 7 c に対応したレジスタ 1 1 5 a ～ 1 1 5 c にフィールド判別信号を出力する。レジスタ 1 1 5 a ～ 1 1 5 c は、第 1 の垂直同期信号 V 1 1 の位相をずらした垂直同期信号（図示省略）により書き込みが起こっているフィールドのフィールド判別信号を取り込む。

【0 1 5 0】

読み出し制御部 1 1 3 は、フィールドメモリ 7 a ～ 7 c の読み出し制御信号を発生するとともに、セクタ 1 1 6 へどのフィールドメモリ 7 a ～ 7 c から読み出しが発生しているかを出力する。セクタ 1 1 6 は、読み出しが起こっているフィールドメモリ 7 a ～ 7 c に対応したレジスタ 1 1 5 a ～ 1 1 5 c から、垂直周波数変換後の第 2 の垂直同期信号 V 2 1 と同じ周期の読み出し信号（図示省略）により、フィールドメモリ 7 a ～ 7 c から読み出されているフィールドのフィールド判別信号を当該フィールドの映像信号にリンクさせて出力する。なお、上

記の各ブロック以外の構成は、第 2 の実施の形態と同様であるので詳細な説明を省略する。

【0 1 5 1】

本実施の形態では、フィールド判別部 1 1 1 が判別手段に相当し、書き込み制御部 1 1 2、読み出し制御部 1 1 3、切り換え回路 1 1 4、1 1 6、およびレジスタ 1 1 5 a、1 1 5 b、1 1 5 c がフィールド情報記憶手段に相当し、その他は第 2 の実施の形態と同様である。

【0 1 5 2】

次に、上記のように構成された映像信号変換装置の垂直周波数変換の動作について説明する。図 3 1 は、図 2 9 に示す映像信号変換装置の垂直周波数変換の動作を説明するためのタイミング図である。図 3 1 では、垂直周波数変換として 3 → 2 変換 (9 0 H z → 6 0 H z) の場合を示している。

【0 1 5 3】

フィールド判別信号は、入力側の垂直同期信号である第 1 のラッチ垂直同期信号 V 1 2 に対して図示のようになっているとあり、垂直周波数変換後の第 2 の垂直同期信号 V 2 1 が図示のようになっているとする。この場合、図 1 0 の (c) の場合と同様に、第 2 の垂直同期信号 V 2 1 の周期の中に 2 回以上第 1 の垂直同期信号 V 1 2 が入ってしまうと、次のフィールドはフィールドメモリ 7 a ~ 7 c に書き込まれない。このため、各フィールドが書き込まれるフィールドメモリは、フィールドメモリ 7 c、× (書き込みなし)、フィールドメモリ 7 a、フィールドメモリ 7 b、×、フィールドメモリ 7 c、フィールドメモリ 7 a、×、…となる。

【0 1 5 4】

例えば、フィールドメモリ 7 a にフィールド期間 1 8 1 のデータが書き込まれた時は、奇数フィールドであるため、レジスタ 1 1 5 a は、ローレベルの状態になる。したがって、次にフィールドメモリ 7 a からデータが読み出される期間 1 8 2 では、レジスタ 1 1 5 a からはローレベルの信号が読み出される。また、次にフィールドメモリ 7 a に書き込みが発生した時のフィールドの状態も奇数フィールドであるから、レジスタ 1 1 5 a の状態は変化しない。したがって、その次に読み出される時もフィールド判別信号はローレベルで読み出される。レジスタ

5b、115cについても上記と同様である。

【0155】

このようにして、フィールドメモリ7a～7cから読み出されているフィールドのフィールド判別信号を当該フィールドの映像信号にリンクさせて出力し、このフィールド判別信号に応じて以降のIP変換が行われる。なお、この場合のIP変換は、前後のフィールドが抜けるか抜けないかわからないため、補間ラインは現フィールドのみで合成しなければならない。したがって、本実施の形態のIP変換は、図12の(c)に示すフィールド内補間となる。

【0156】

このようにして、本実施の形態では、フィールド判別信号も映像信号と同様に記憶することにより、IP変換と垂直周波数変換とを両立することが可能となる。なお、IP変換と垂直周波数変換とを両立する理由は、ビデオデッキの早送り時や巻戻し時に垂直周波数が60Hzよりも大きくなってしまったり、PC（パーソナルコンピュータ）信号の85HzのXGA（Extended Graphics Array）インターレースといった信号に対応するためである。

【0157】

【発明の効果】

本発明によれば、一つの記憶手段に記憶されている映像信号の垂直周波数を変換し、垂直周波数変換された映像信号がインターレース信号の場合にインターレース信号からプログレッシブ信号へ変換し、インターレース／プログレッシブ変換された映像信号の走査線数を変換し、走査線変換された映像信号の水平画素数を変換しているので、一カ所に蓄えられた少ないデータ量の映像信号を用いて1つのシステムとして総合的に無駄なく、垂直周波数変換、IP変換、走査線変換および水平画素変換を行い、映像信号をマトリックス表示を行う表示装置に適する映像信号に変換することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態による映像信号変換装置の構成を示すブロック図

【図2】

水平走査期間と有効映像期間との関係を説明するための模式図

【図 3】

走査線変換前後の水平走査期間と映像期間との関係を説明するためのタイミング図

【図 4】

クロックを乗せ換えた場合の走査線変換前後の水平走査期間と映像期間との関係を説明するためのタイミング図

【図 5】

本発明の第 2 の実施の形態による映像信号変換装置の構成を示すブロック図

【図 6】

図 5 に示す映像信号変換装置の同期信号のタイミングを説明するための図

【図 7】

図 5 に示す映像信号変換装置の詳細な構成を示す第 1 のブロック図

【図 8】

図 5 に示す映像信号変換装置の詳細な構成を示す第 2 のブロック図

【図 9】

図 5 に示す映像信号変換装置の詳細な構成を示す第 3 のブロック図

【図 1 0】

図 7 に示すメモリ制御部によるフィールドメモリの書き込みおよび読み出し動作を説明するためのタイミング図

【図 1 1】

ラインメモリの動作を説明するためのタイミング図

【図 1 2】

最適フィルタ補間、フィールド間補間およびフィールド内補間を説明するための模式図

【図 1 3】

I P 変換を行う場合の走査線変換前後の各ラインを説明するための模式図

【図 1 4】

奇数フィールドの場合の I P 変換および走査線変換のデータの転送タイミング

を説明するための図

【図 1 5】

偶数フィールドの場合の I P 変換および走査線変換のデータの転送タイミングを説明するための図

【図 1 6】

I P 変換用のラインメモリを模式的に示す図

【図 1 7】

走査線変換用のラインメモリを模式的に示す図

【図 1 8】

I P 変換を行わずに走査線変換を行う場合のデータの転送タイミングを説明するための図

【図 1 9】

I P 変換を行わない場合の走査線変換前後の各ラインを説明するための模式図

【図 2 0】

I P 変換のデータの転送タイミングを説明するための図

【図 2 1】

水平画素変換の動作を説明するためのタイミング図

【図 2 2】

本発明の第 3 の実施の形態による映像信号変換装置の要部の構成を示すブロック図

【図 2 3】

走査線変換による拡大処理時の各水平同期信号のタイミング図

【図 2 4】

走査線変換による拡大処理を説明するための表示画像を示す模式図

【図 2 5】

拡大処理時のフィールドメモリの書き込みおよび読み出しアドレスを説明するための模式図

【図 2 6】

走査線変換による縮小処理時の各水平同期信号のタイミング図

【図 2 7】

走査線変換による縮小処理を説明するための表示画像を示す模式図

【図 2 8】

縮小処理時のフィールドメモリの書き込みおよび読み出しアドレスを説明するための模式図

【図 2 9】

本発明の第 4 の実施の形態による映像信号変換装置の要部の構成を示すブロック図

【図 3 0】

フィールド判別動作を説明するためのタイミング図

【図 3 1】

図 3 1 に示す映像信号変換装置の I P 変換および垂直周波数変換を行う時の動作を説明するためのタイミング図

【図 3 2】

従来の走査線変換回路の構成を示すブロック図

【図 3 3】

図 3 2 に示す走査線変換回路のフィルタ係数を示す図

【図 3 4】

従来の画像処理装置の構成を示すブロック図

【符号の説明】

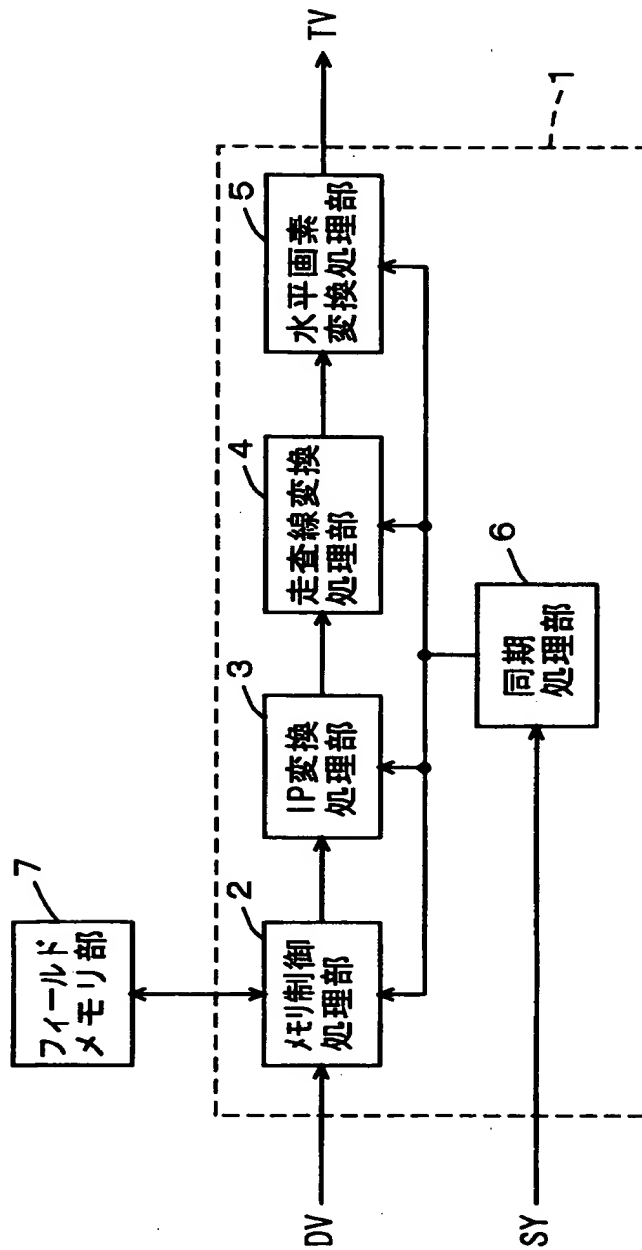
- 1 画素変換装置
- 2 メモリ制御処理部
- 3 I P 変換処理部
- 4 走査線変換処理部
- 5 水平画素変換処理部
- 6 同期処理部
- 7 フィールドメモリ部
- 7 a ~ 7 c フィールドメモリ
- 1 2 , 3 1 , 5 1 , 8 1 ラインメモリ

- 2 1 メモリ制御部
- 4 1 I P 変換部
- 6 1 走査線変換部
- 7 1 水平圧縮部
- 9 1 水平拡大部
- 1 0 1 読み出し開始アドレス発生部
- 1 0 2 黒ライン挿入部
- 1 0 3 読み出し水平同期信号発生部
- 1 1 1 フィールド判定部
- 1 1 2 書き込み制御部
- 1 1 3 読み出し制御部
- 1 1 4, 1 1 6 セレクタ
- 1 1 5 a ~ 1 1 5 d レジスタ

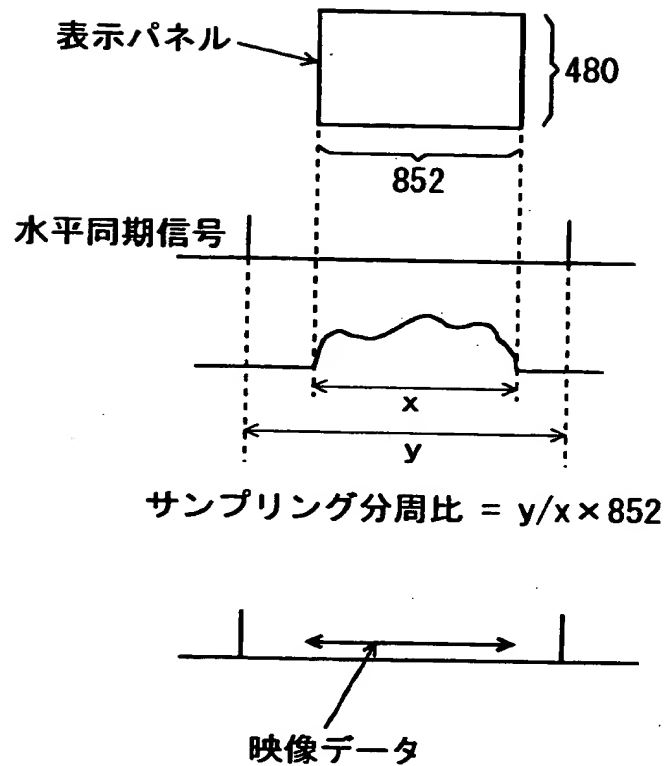
【書類名】

図面

【図 1】

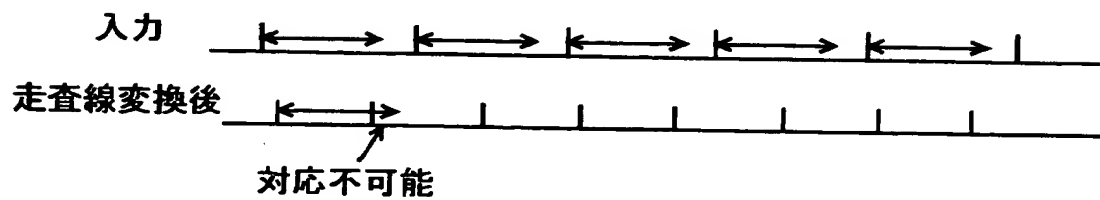


【図 2】

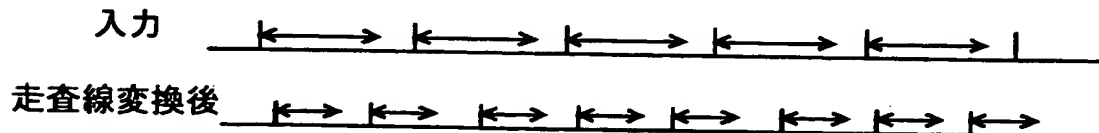


【図 3】

(a) 入力と同じクロックの場合

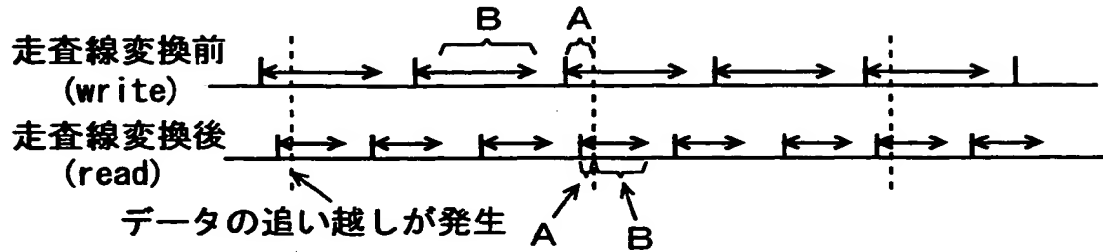


(b) 入力と比較し、十分速いクロックの場合

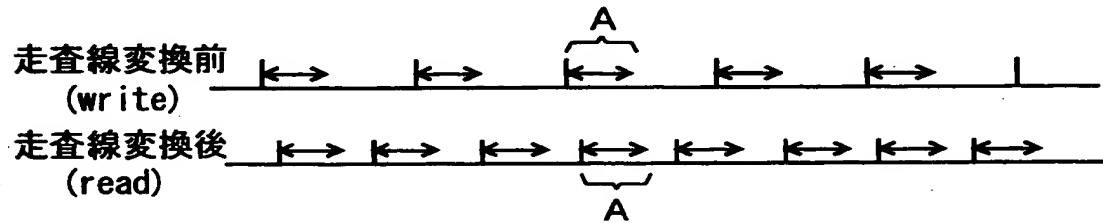


【図 4】

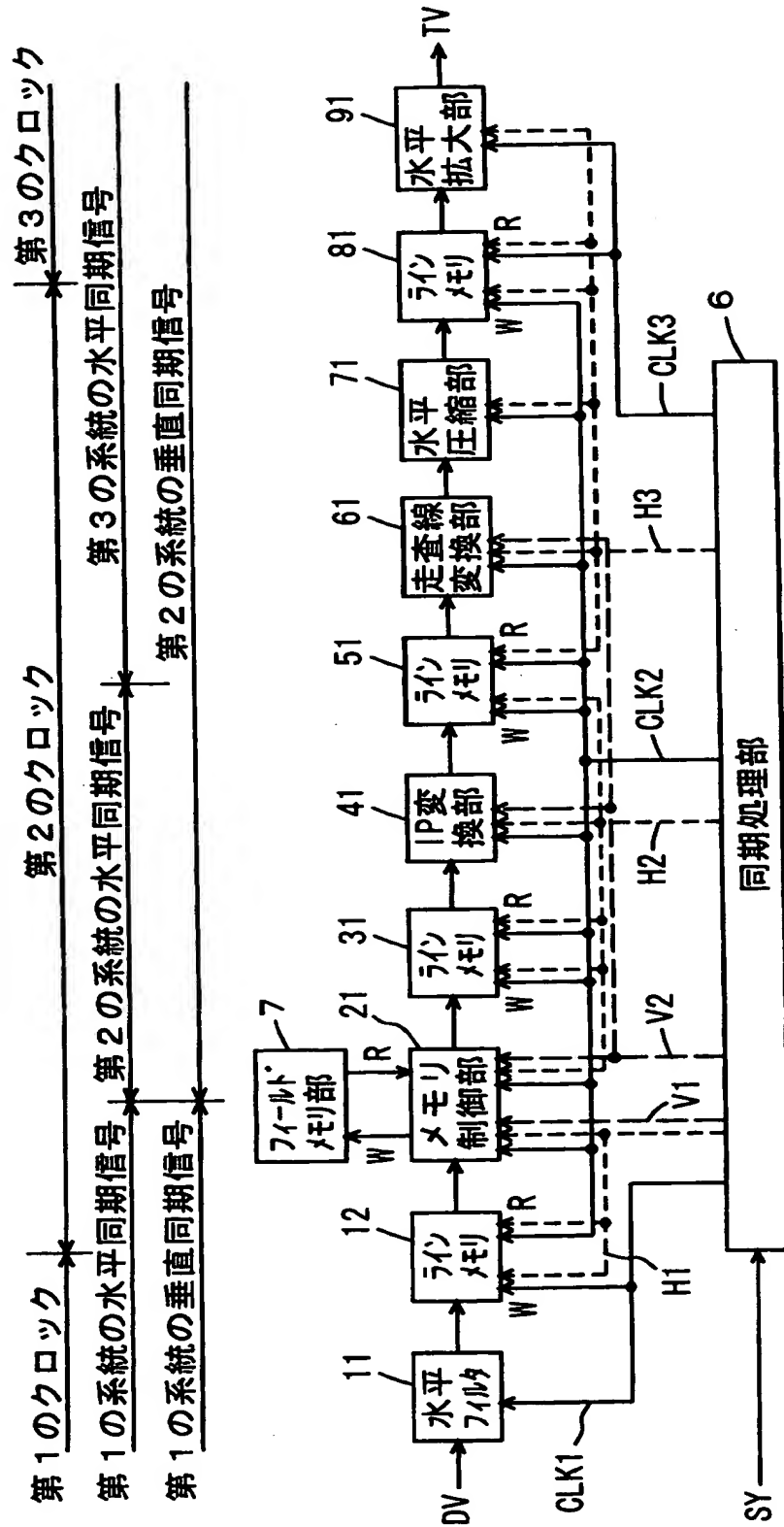
(a) 走査線変換の前後でクロックを乗せ換えた場合



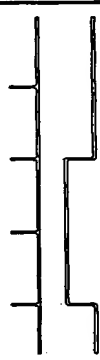
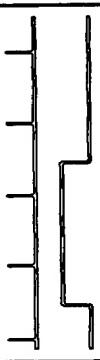
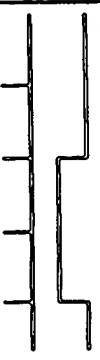
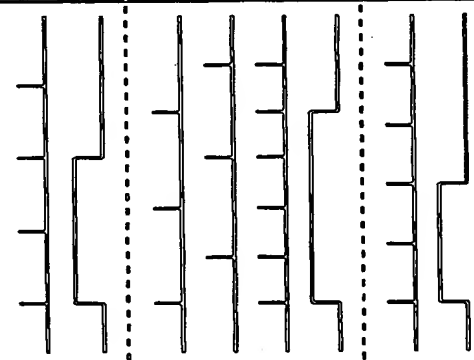
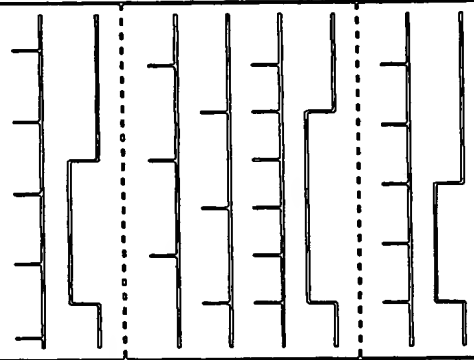
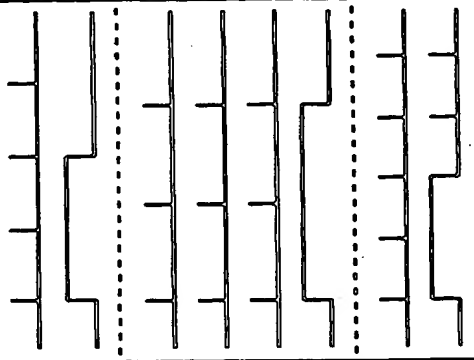



(b) 走査線変換の後でクロックを乗せ換えた場合



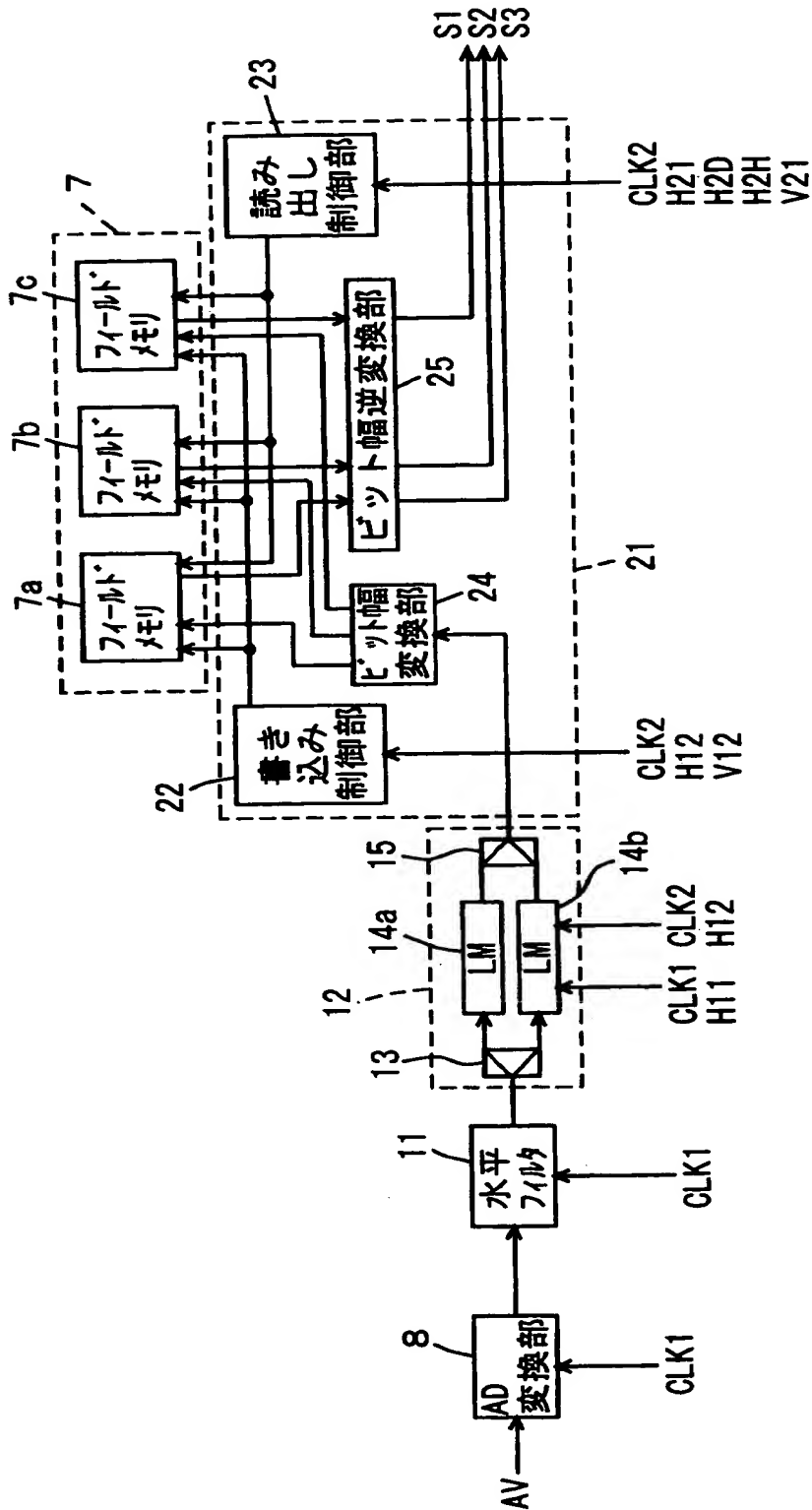
【図 5】



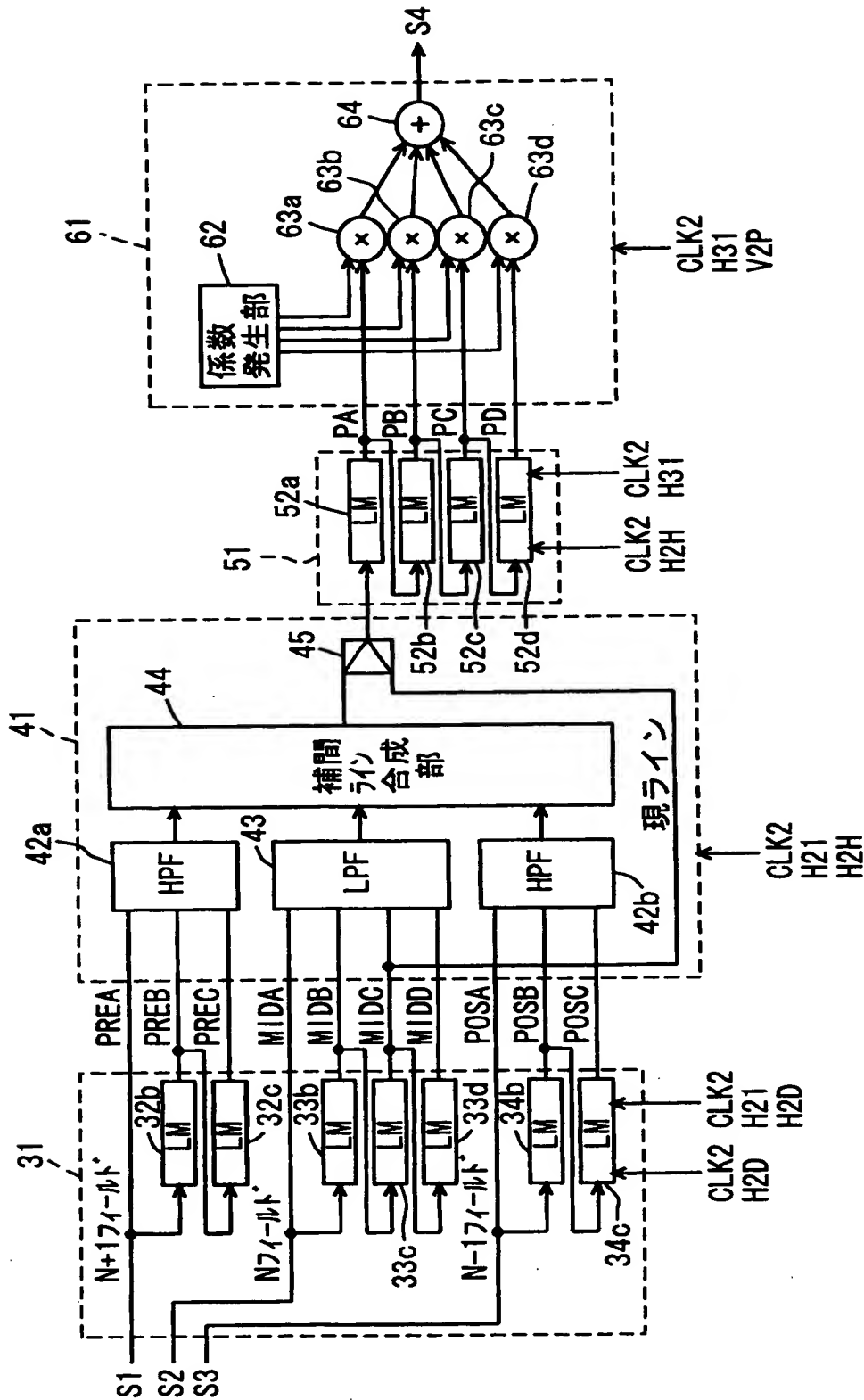
【図 6】

	IP変換あり		IP変換なし
	奇数フィールド	偶数フィールド	
CLK1系 H11 (入力H) V11 (入力V)			
CLK2系 H12 (H11のCLK2ラッチ) V12 (V11のCLK2ラッチ) H21 (フィールドメモリ後のH) H2D (H2の半H遅れ) H2H (H2の倍周波数) V21 (フィールドメモリ後のV) H31 (走査線変換後のH) V2P (走査線変換後のV)			
CLK3系 H33 (H31のCLK3ラッチ)			

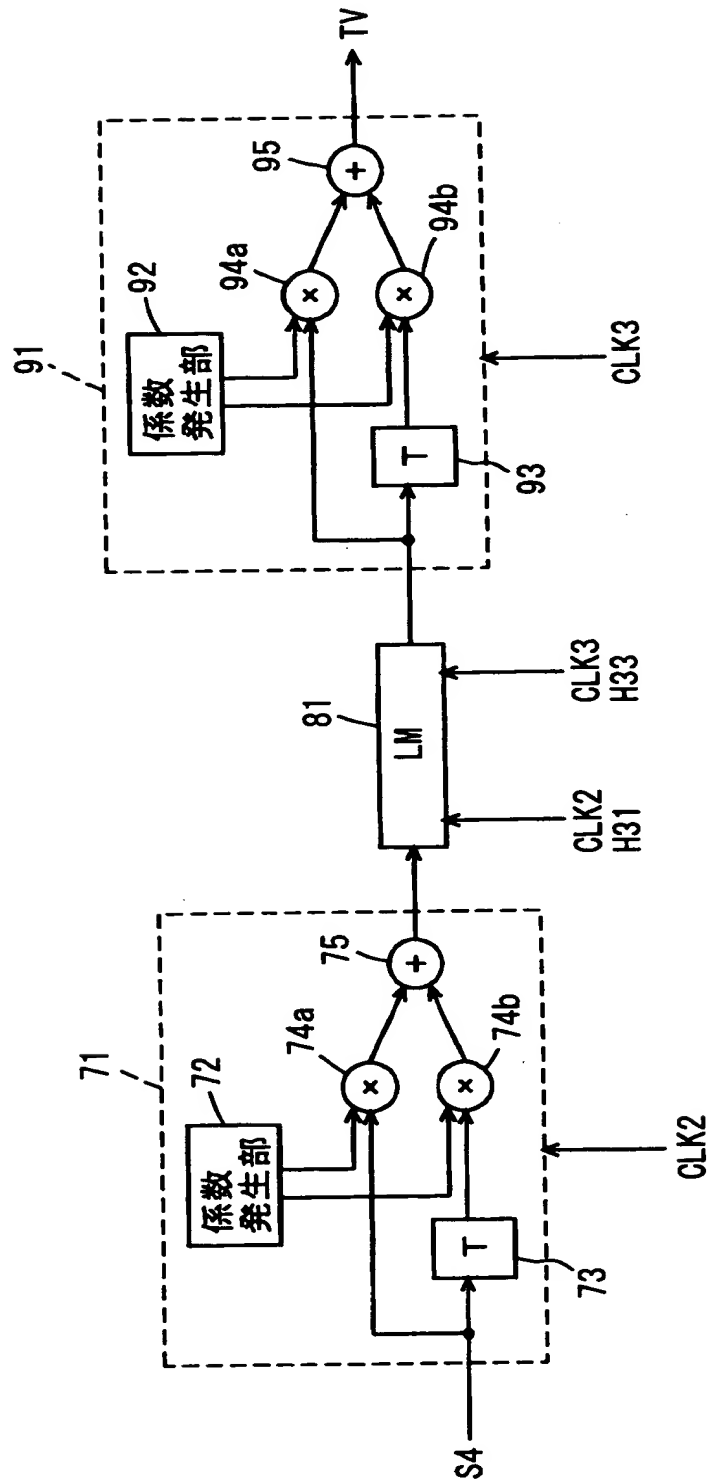
【図 7】



【図 8】

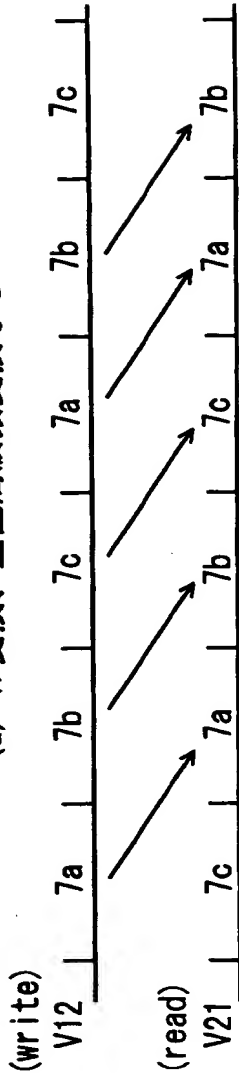


【図 9】

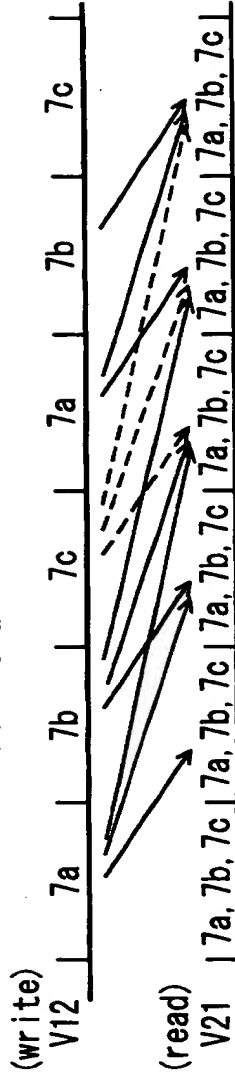


【図 1 0】

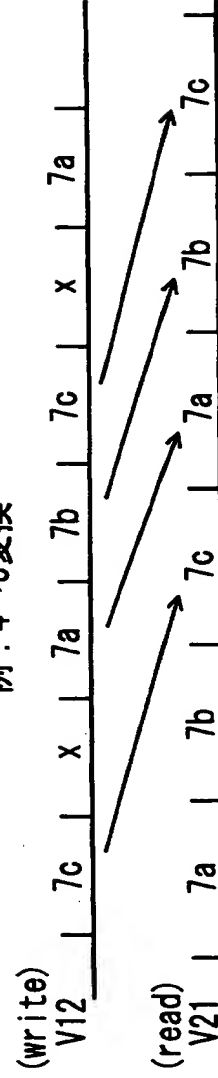
(a) IP変換、垂直周波数変換なし



(b) IP変換

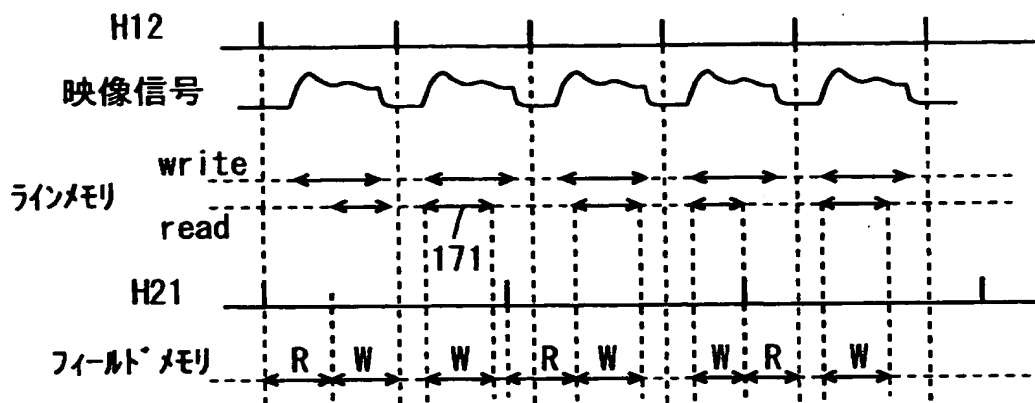


(c) 垂直周波数変換
例：4→3変換

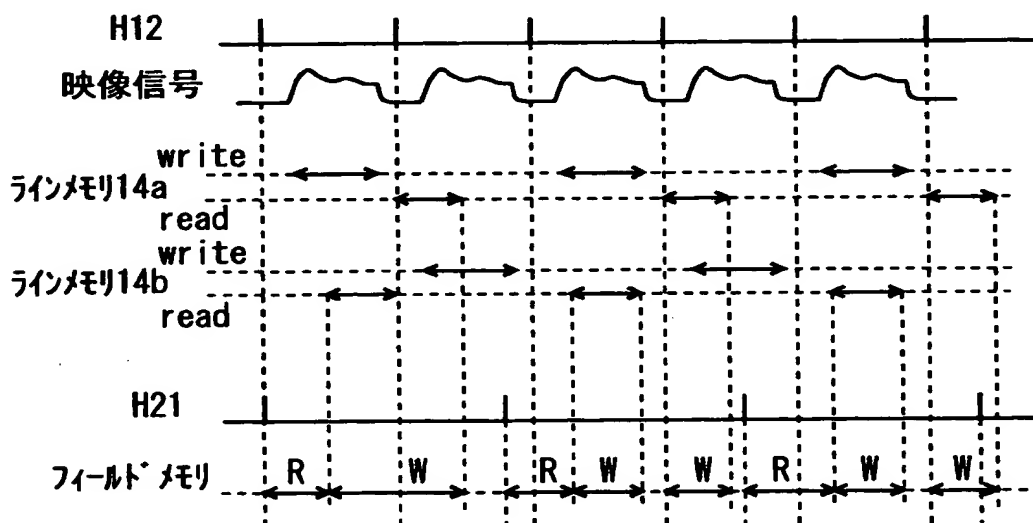


【図 1 1】

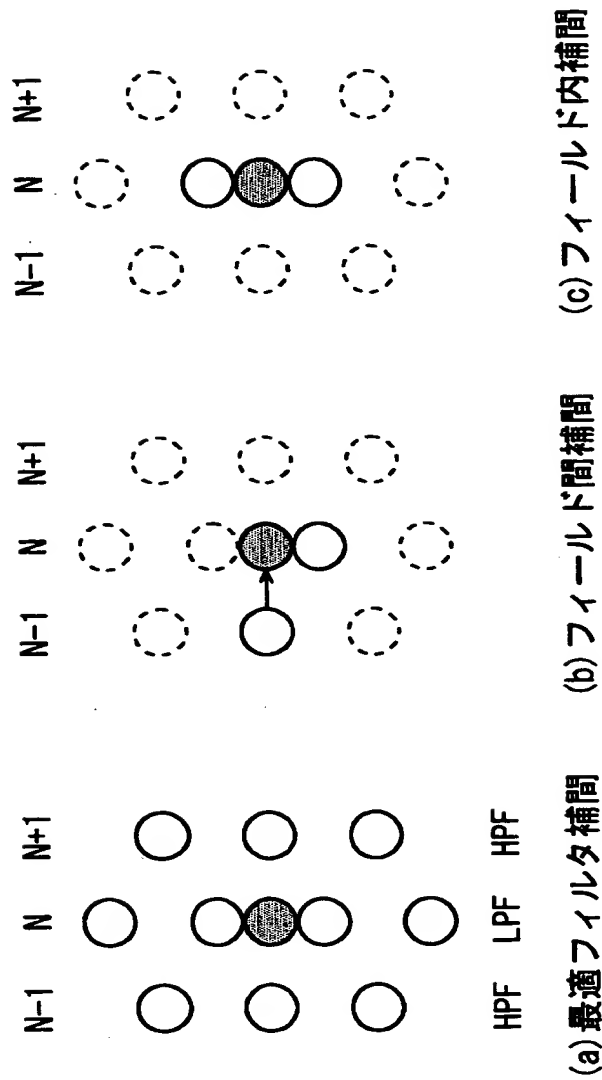
(a) ラインメモリ 1 本するとき



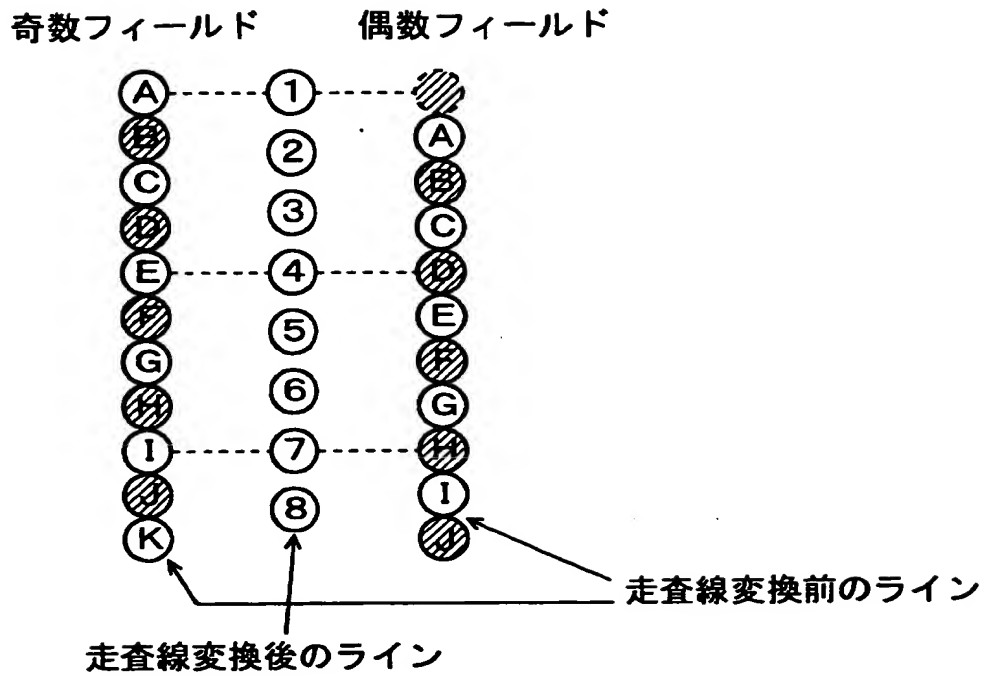
(b) ラインメモリ 2 本するとき



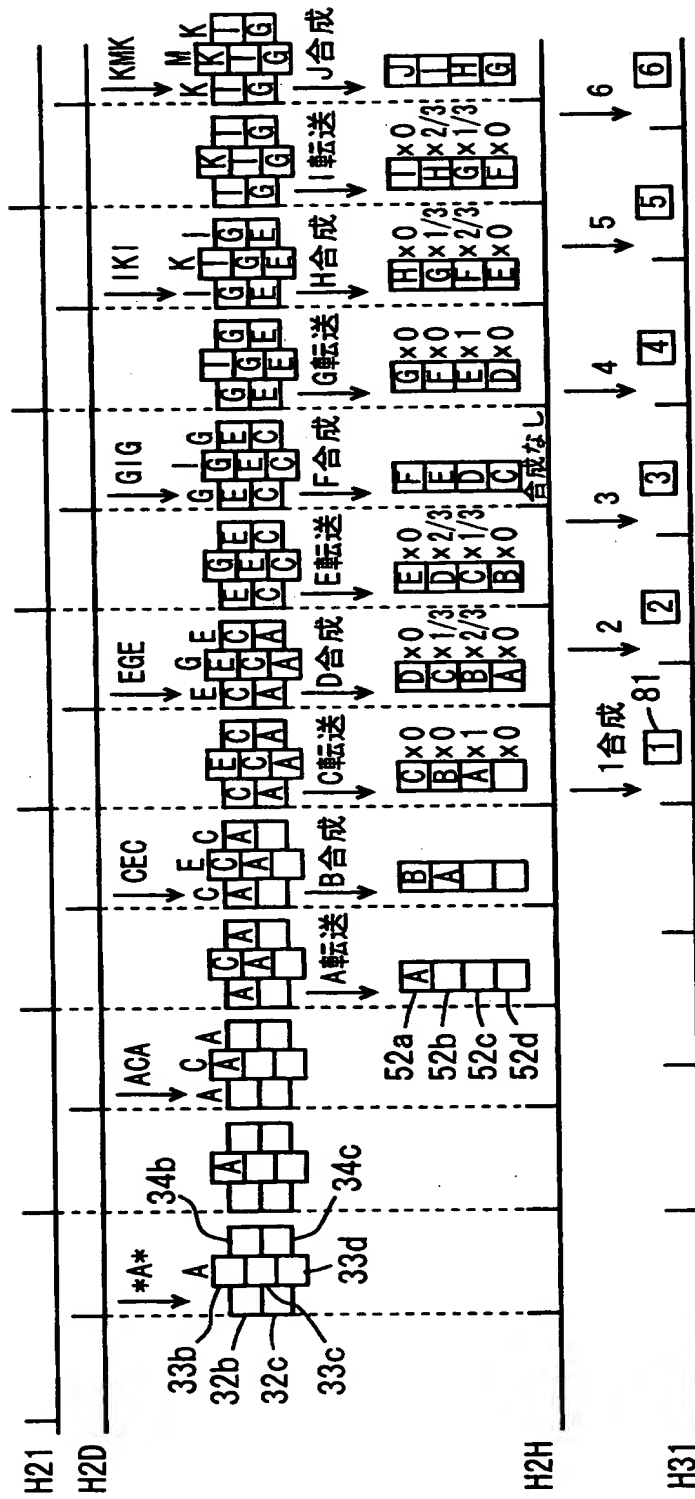
【図 1 2】



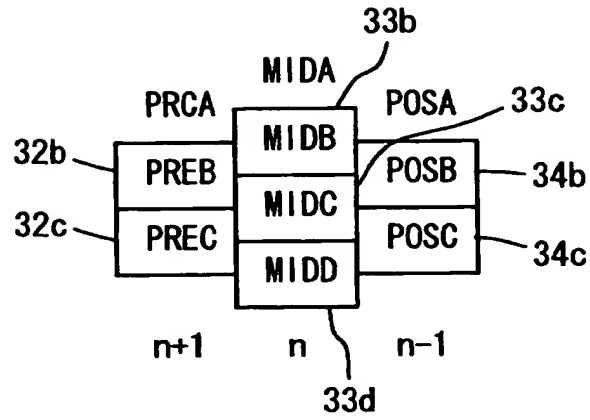
【図 1 3】



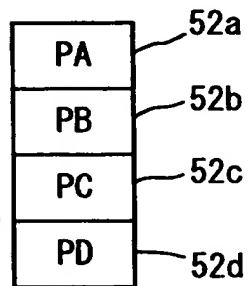
【図 1 4】



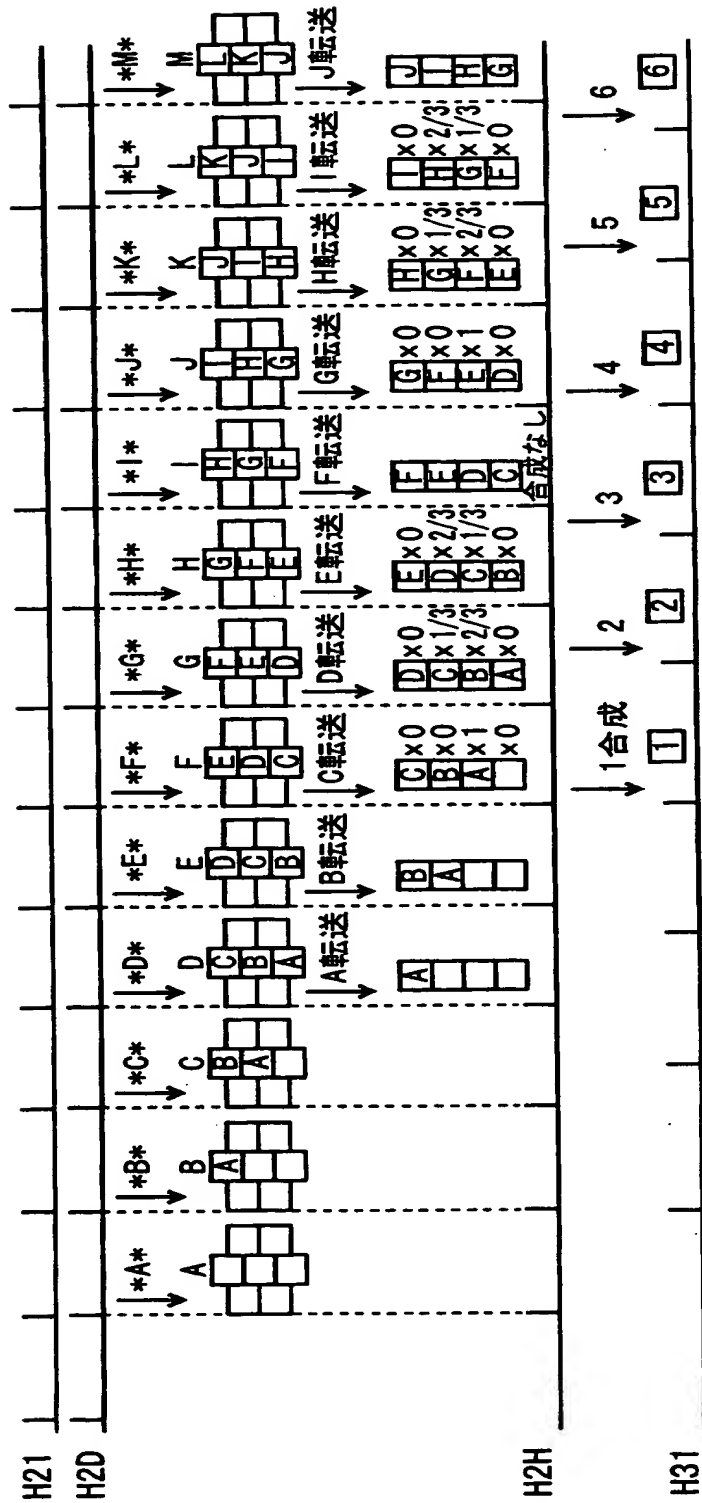
【図 1 6】



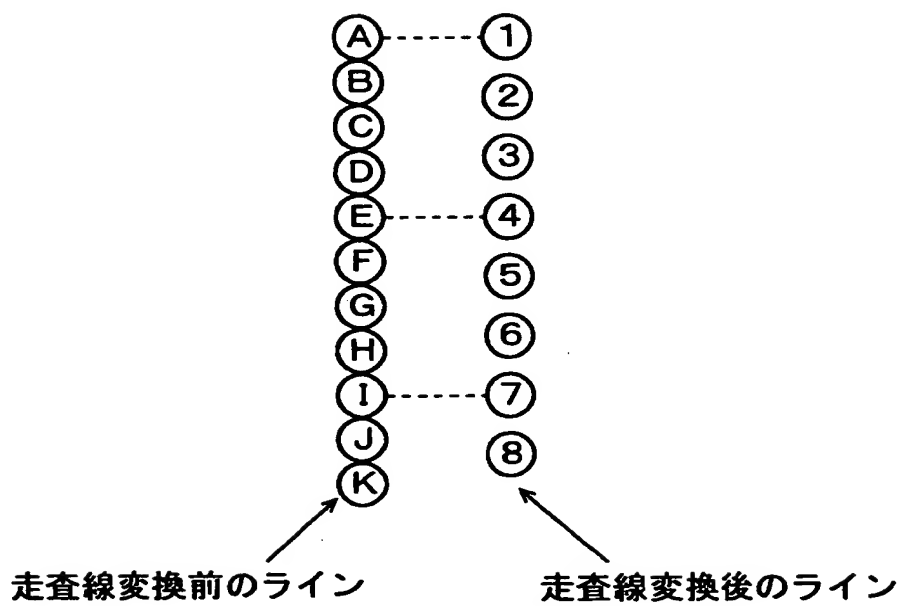
【図 1 7】



【図 1 8】

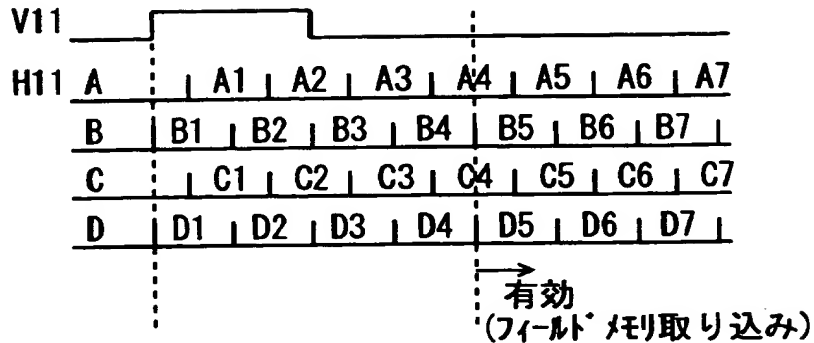


【図 1 9】

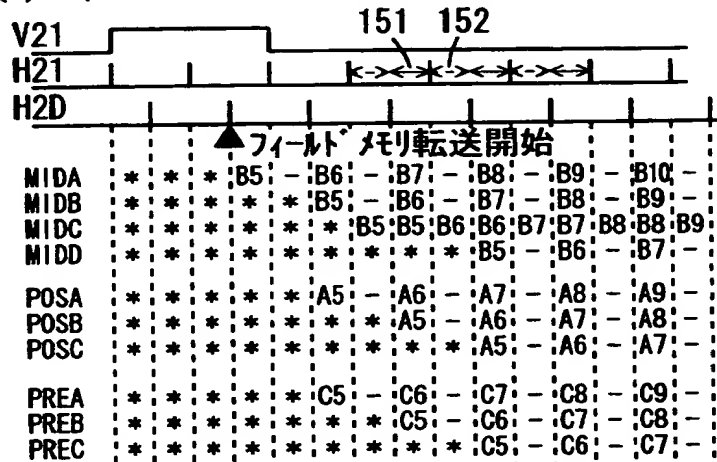


【図 2 0】

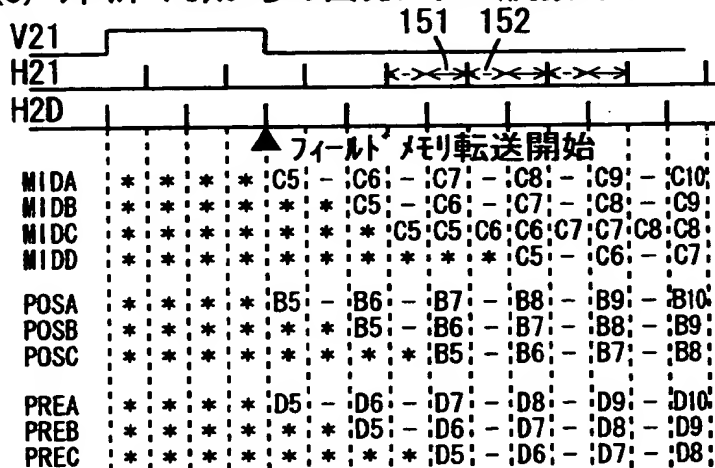
(a) 入力



(b) フィルタメモリからの出力シーケンス(奇数フィルタ)

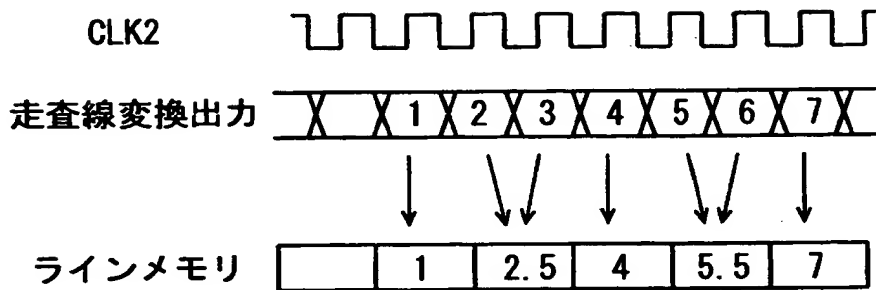


(c) フィルタメモリからの出力シーケンス(偶数フィルタ)

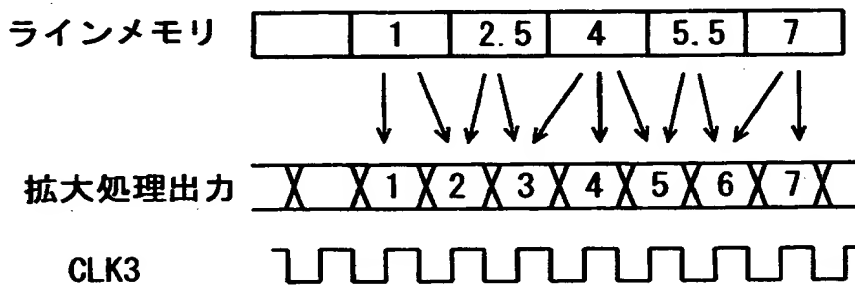


【図 2 1】

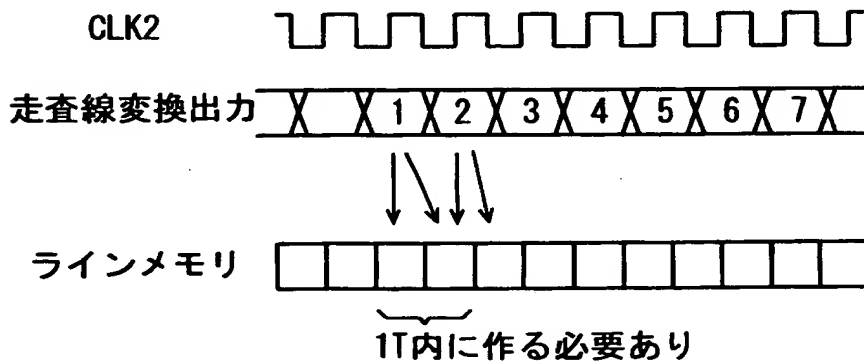
(a) 書き込み (3→2変換)



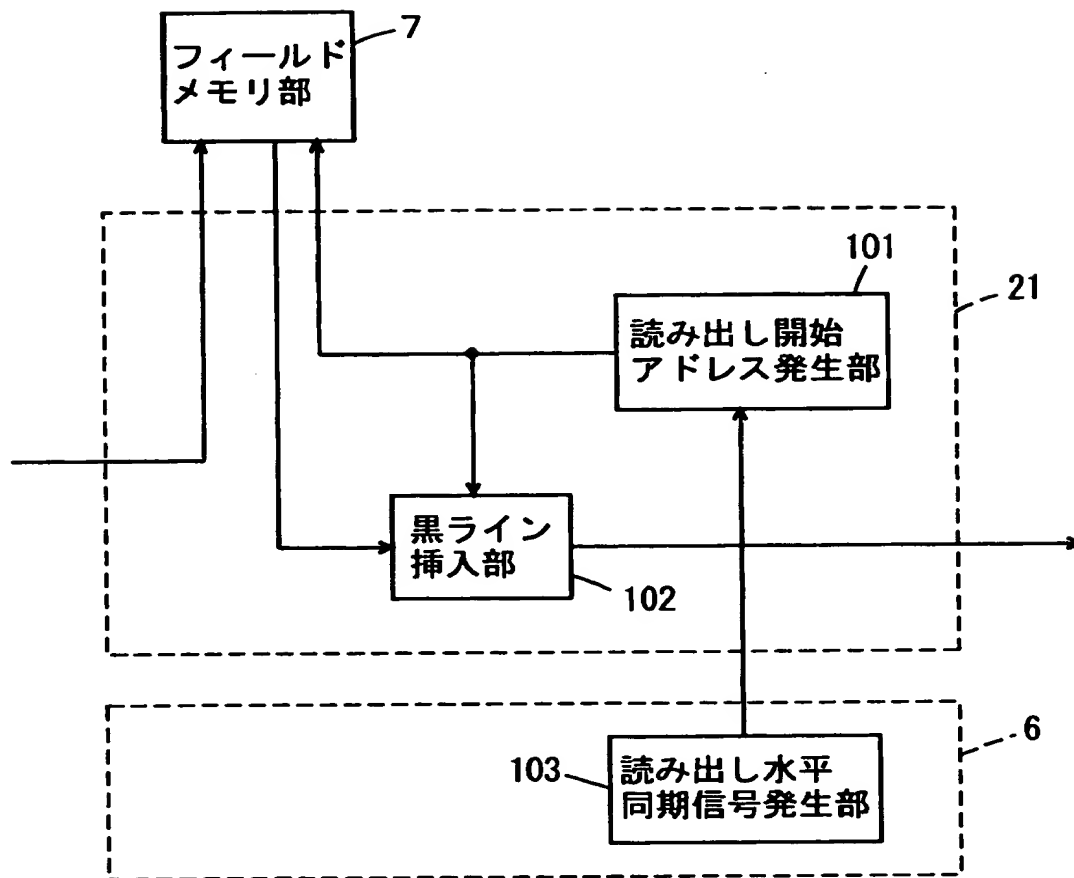
(b) 読み出し (2→3変換)



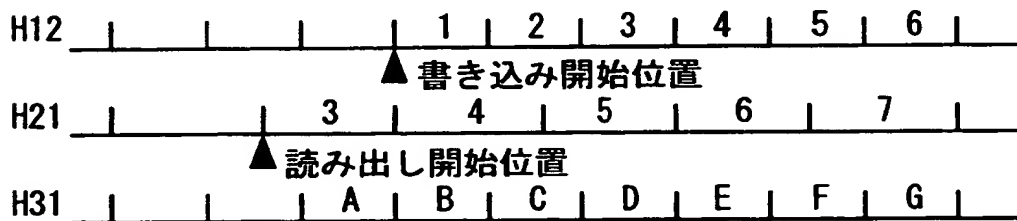
(c) 書き込みで拡大処理を兼用 (3→4変換)



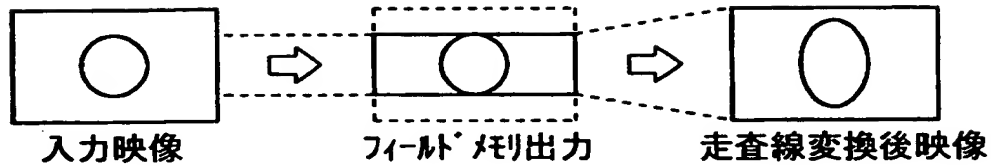
【図 2 2】



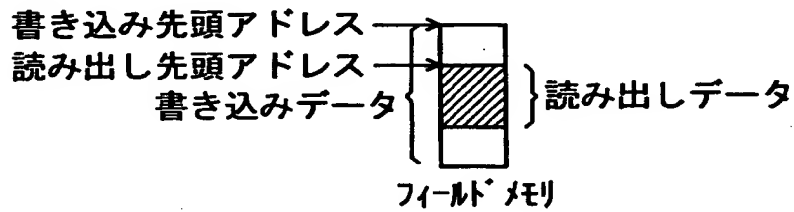
【図 2 3】



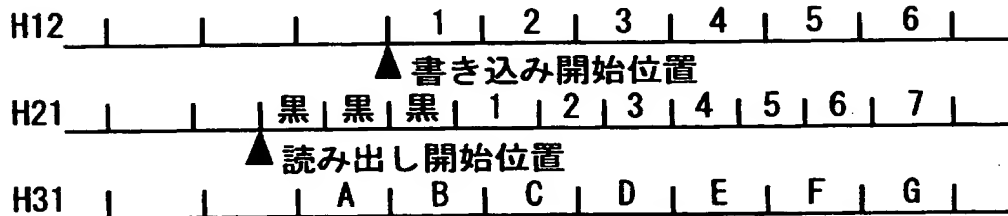
【図 2 4】



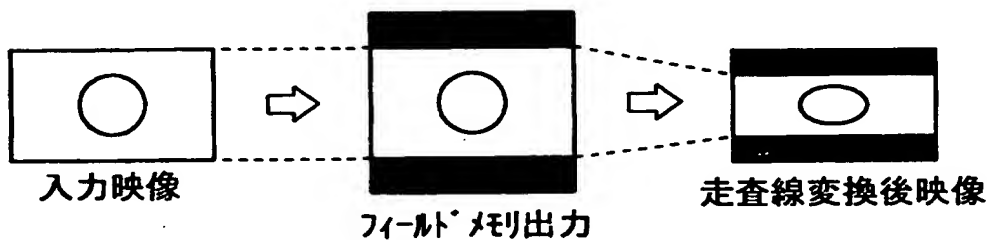
【図 2 5】



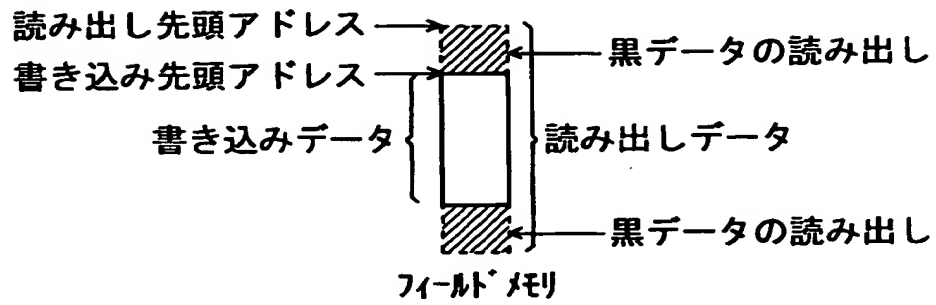
【図 2 6】



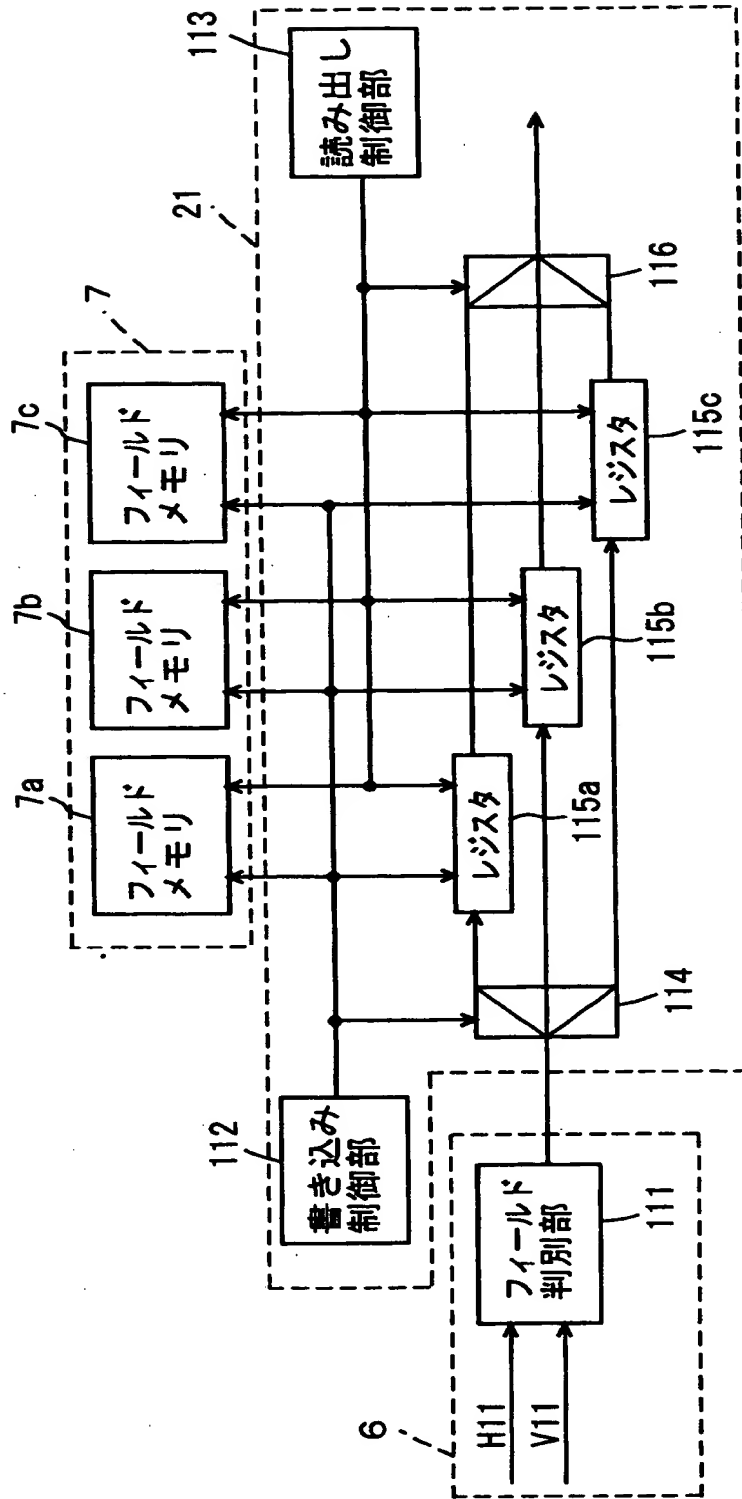
【図 2 7】



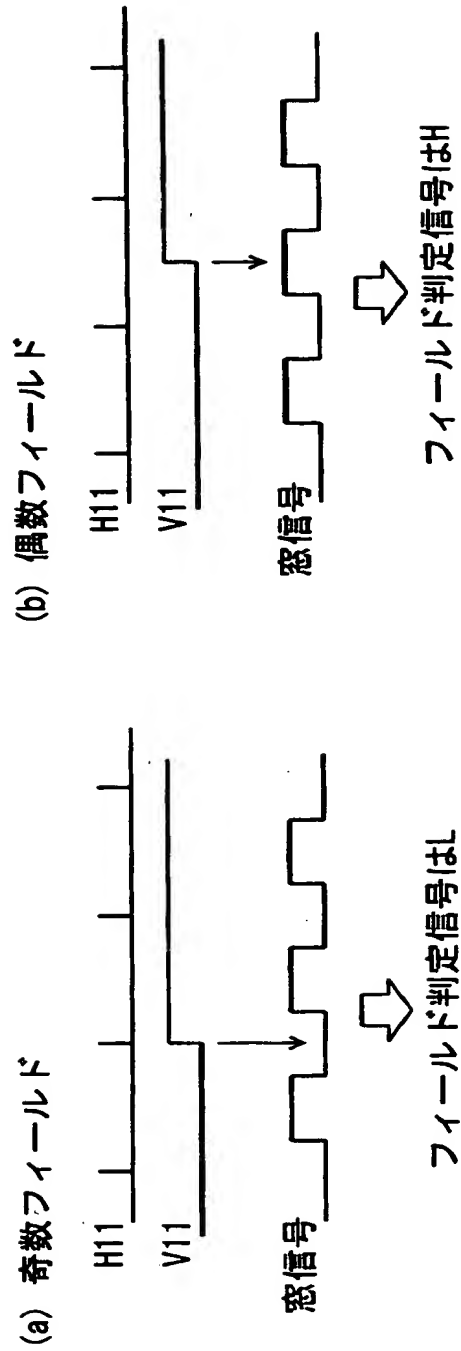
【図 2 8】



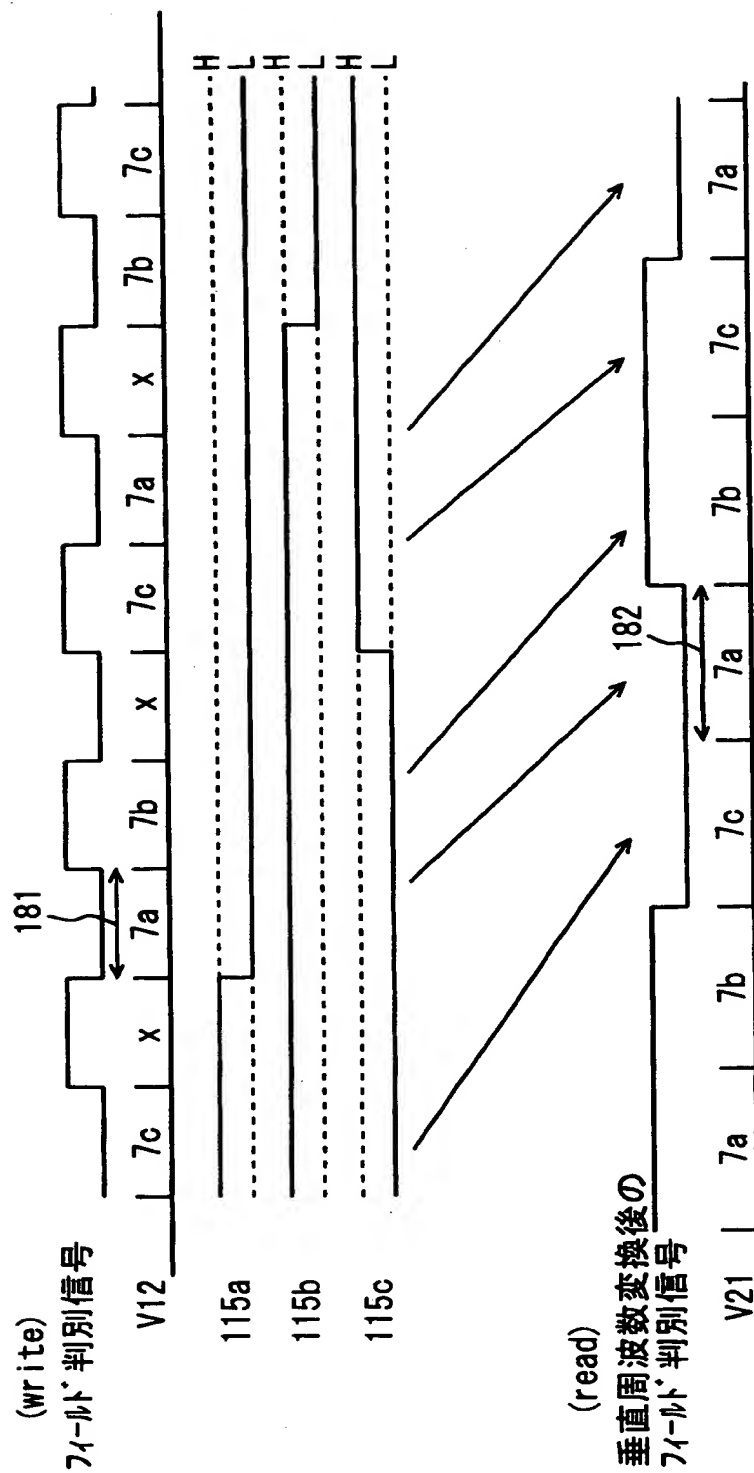
【図 2 9】



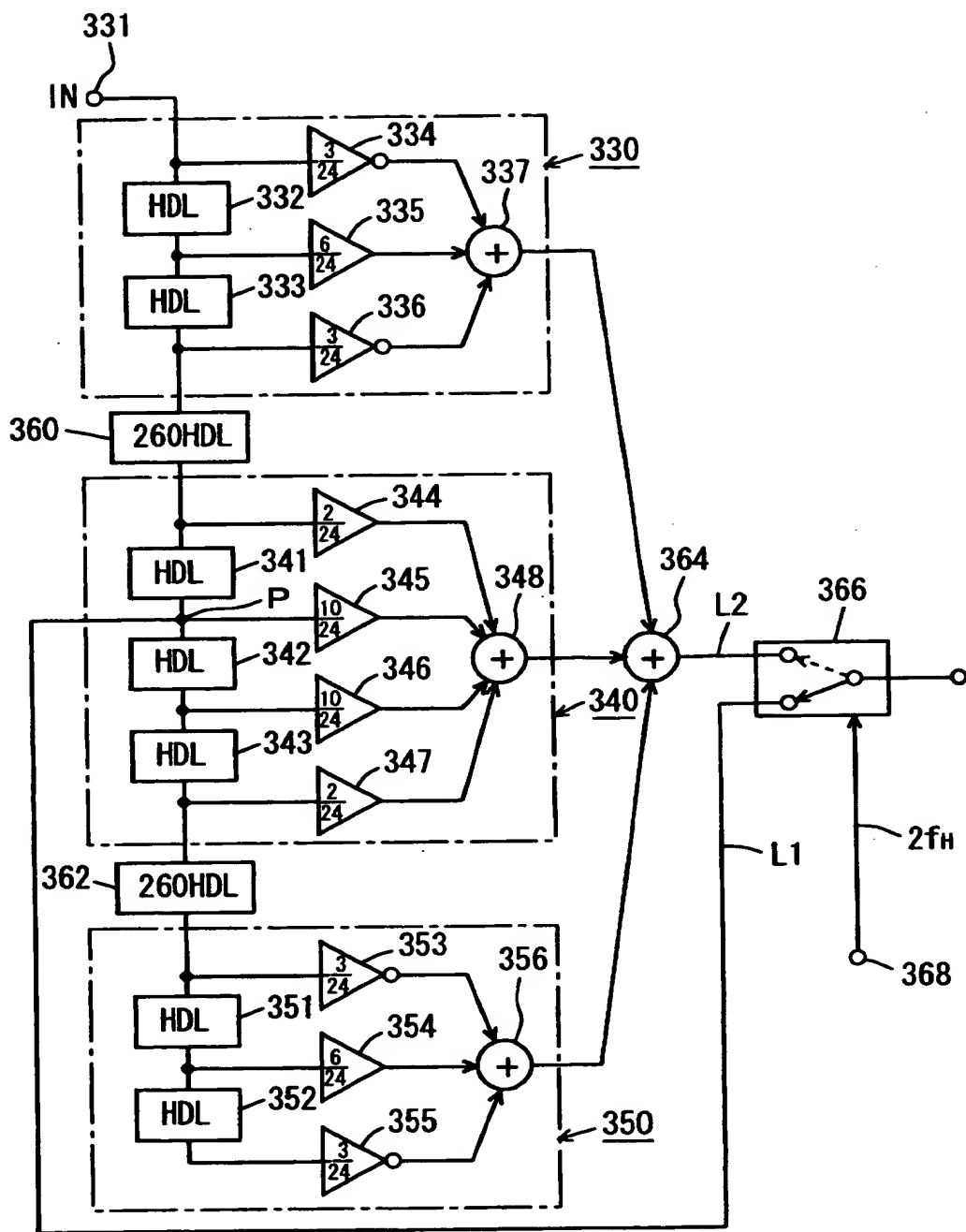
【図 3 0】



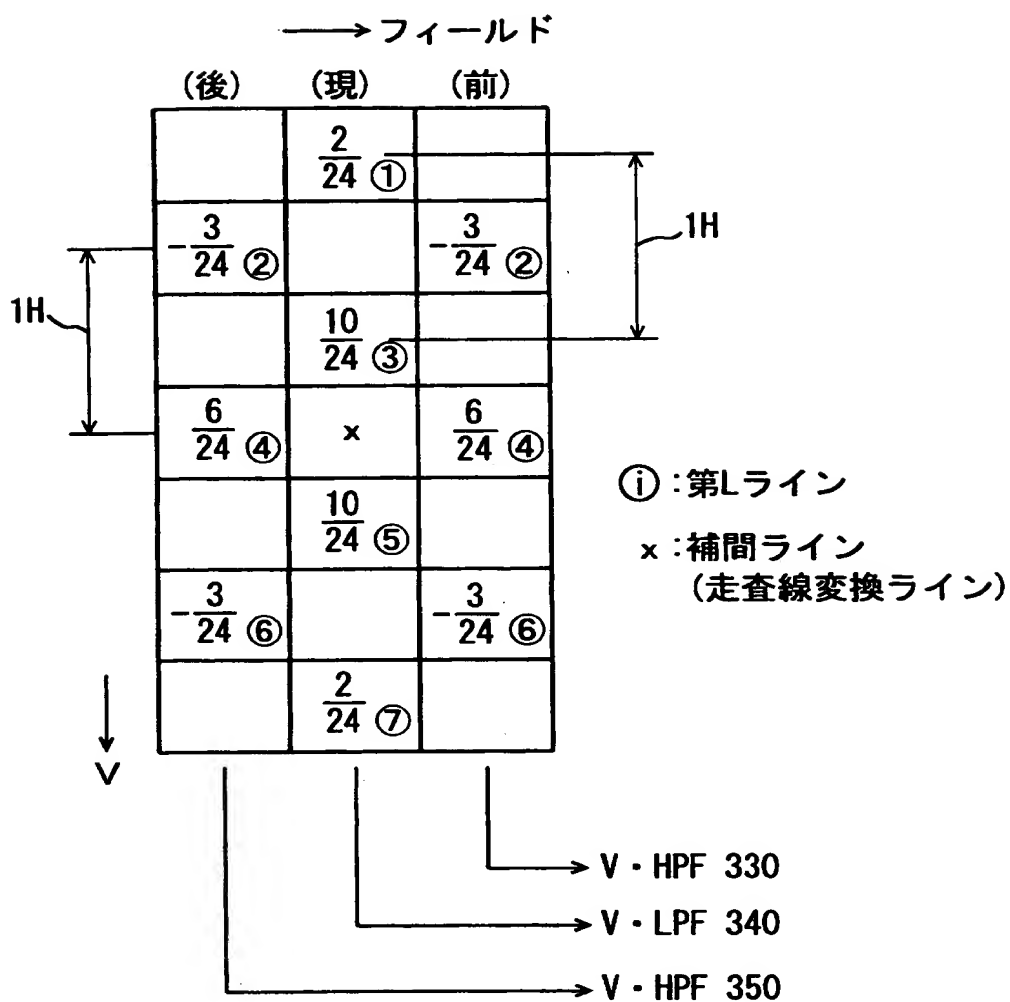
【図 3 1】



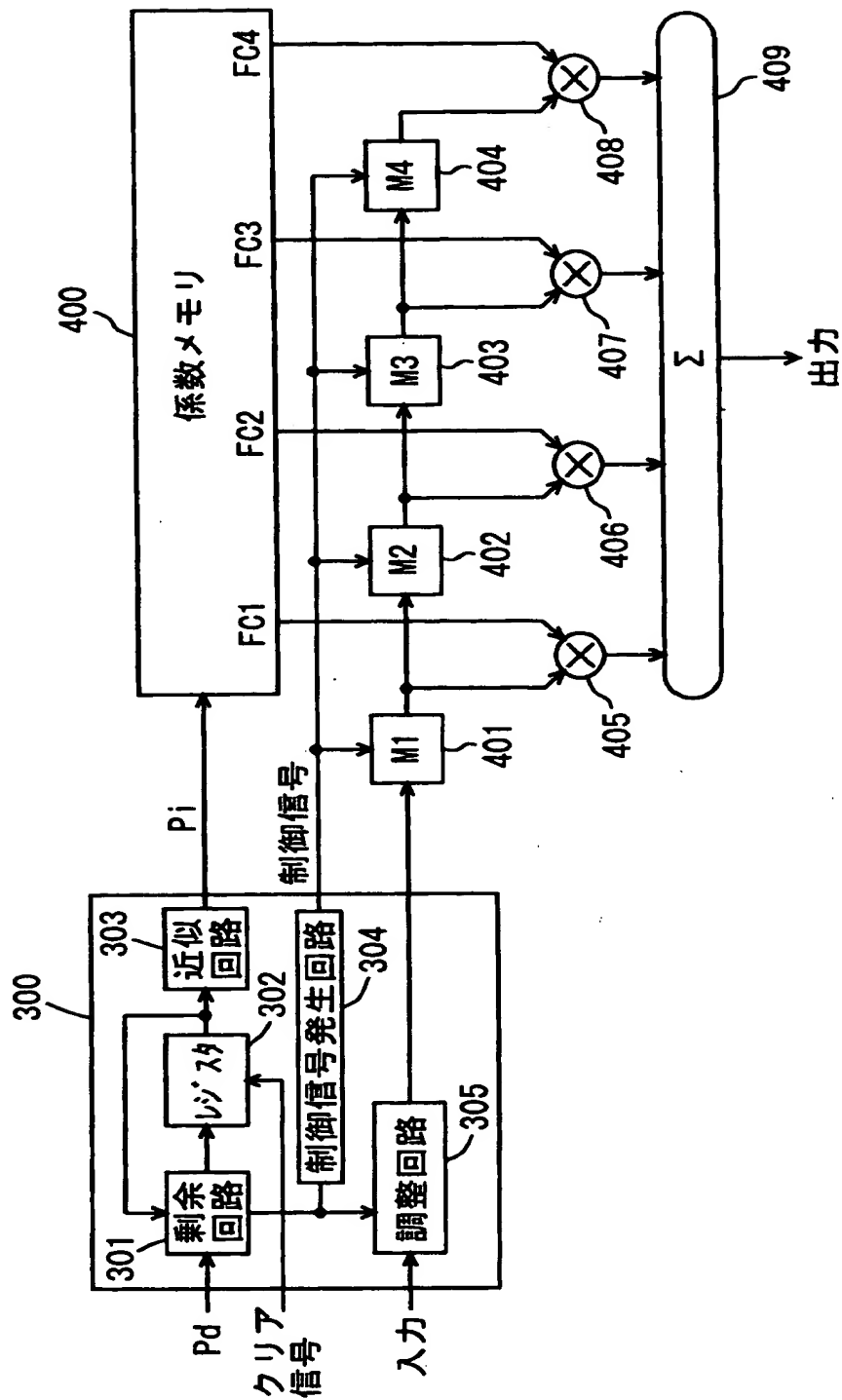
【図 3 2】



【図 3 3】



【図 3 4】



【書類名】 要約書

【要約】

【課題】 一カ所に蓄えられた少ないデータ量の映像信号を用いて1つのシステムとして総合的に無駄なく、垂直周波数変換、I P変換、走査線変換および水平画素変換を行い、映像信号をマトリックス表示を行う表示装置に適する映像信号に変換することができる映像信号変換装置を提供する。

【解決手段】 フィールドメモリ部7にI P変換および走査線変換に必要なフィールドの映像データを蓄え、フィールドメモリ部7に蓄えられたデータを用いて、メモリ制御処理部2により垂直周波数変換が行われ、I P変換処理部3によりI P変換が行われ、走査線変換処理部4により走査線変換が行われ、水平画素変換処理部5により水平画素変換が行われる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社

THIS PAGE BLANK (USPTO)